

Patent

Customer No. 31561
Application No.: 10/710,596
Docket No. 10964-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Lin
Application No. : 10/710,596
Filed : Jul 23, 2004
For : CHIP STRUCTURE WITH A PASSIVE DEVICE AND
METHOD FOR FORMING THE SAME
Examiner : N/A
Art Unit : 2813

ASSISTANT COMMISSIONER FOR PATENTS

Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 92120050,
filed on: 2003/7/23.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: March 16, 2005

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

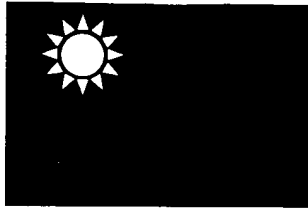
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 07 月 23 日
Application Date

申請案號：092120050
Application No.

申請人：米輯科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2004 年 9 月 16 日
Issue Date

發文字號：09320860270
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	具有被動元件之晶片結構及形成被動元件於晶片結構上之方法
	英 文	CHIP STRUCTURE WITH PASSIVE DEVICES AND METHOD FOR FORMING THE SAME
二、 發明人 (共1人)	姓 名 (中文)	1. 林茂雄
	姓 名 (英文)	1. Mou-Shiung Lin
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市金山十街28號
	住居所 (英 文)	1. No. 28, Chin-Shan St. X, Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 米輯科技股份有限公司
	名稱或 姓 名 (英文)	1. Megic Corporation
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研發一路21號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 21, R&D 1st Rd., Science-Based Industrial Park Hsinchu, Taiwan, R.O.C.
	代 表 人 (中文)	1. 林茂雄
	代 表 人 (英文)	1. Mou-Shiung Lin



10964twf.pptd

四、中文發明摘要 (發明名稱：具有被動元件之晶片結構及形成被動元件於晶片結構上之方法)

一種形成被動元件於晶片結構上之方法，至少包括以下的步驟。首先提供一基底，接著形成多個電子元件於基底之表層，然後形成一線路積層於基底上，在形成電子元件及線路積層時，還形成一電阻元件於基底之表面的表層或是線路積層之任一介電層上，而在形成線路積層時，還形成一第一電極在線路積層最遠離基底之介電層上。接下來，形成一保護層在線路積層上，且保護層具有一保護層開口，暴露出第一電極。接著，在形成一電容介電層在第一電極上。接著，形成一第二電極於電容介電層上，形成一金屬線路於保護層上並經過保護層與電阻元件電性連接，而電感元件係形成於保護層上。

伍、(一)、本案代表圖為：第____4____圖

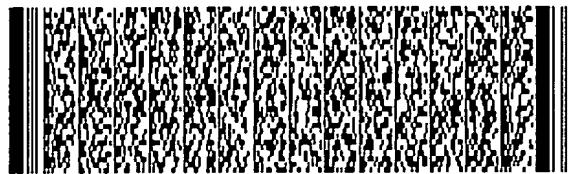
(二)、本案代表圖之元件代表符號簡單說明：

100：晶片結構

110：基底

六、英文發明摘要 (發明名稱：CHIP STRUCTURE WITH PASSIVE DEVICES AND METHOD FOR FORMING THE SAME)

A method for forming passive devices on a chip structure includes the following process. First, a substrate is provided. Subsequently, electric devices are formed on a surface layer of the substrate. An integrated-circuit layer is formed on the substrate. During formation of the electric devices and the integrated-circuit layer, a resistor is formed on the surface layer of the

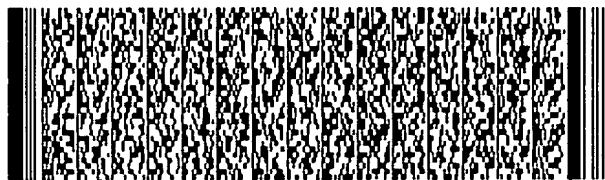


四、中文發明摘要 (發明名稱：具有被動元件之晶片結構及形成被動元件於晶片結構上之方法)

114 : 表面	120 : 線路積層
126 : 保護層	134 : 線路層
136 : 導通孔金屬	140 : 電阻元件
150 : 電容元件	152 : 第一電極
154 : 電容介電層	170 : 絕緣層
182 : 金屬線路	184 : 金屬線路
186 : 電極	188 : 電感元件
190 : 絕緣材料	

六、英文發明摘要 (發明名稱：CHIP STRUCTURE WITH PASSIVE DEVICES AND METHOD FOR FORMING THE SAME)

substrate or on a dielectric layer located in the stack of the integrated-circuit layer. During formation of the integrated-circuit layer, a first electrode is formed on the dielectric layer of the integrated-circuit layer, that is farthest one from the substrate. A passivation layer is formed on the integrated-circuit layer and the passivation layer has a passivation-layer opening



四、中文發明摘要 (發明名稱：具有被動元件之晶片結構及形成被動元件於晶片結構上之方法)

六、英文發明摘要 (發明名稱：CHIP STRUCTURE WITH PASSIVE DEVICES AND METHOD FOR FORMING THE SAME)

exposing the first electrode. A dielectric-layer of a capacitor is formed on the first electrode. A second electrode is formed on the dielectric-layer of the capacitor. A metal line is formed over the passivation layer and the metal line passing through the passivation layer is electrically connected with the resistor. An inductor is formed over the passivation layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

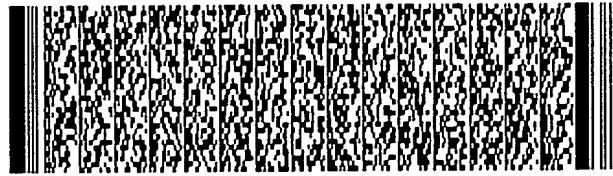
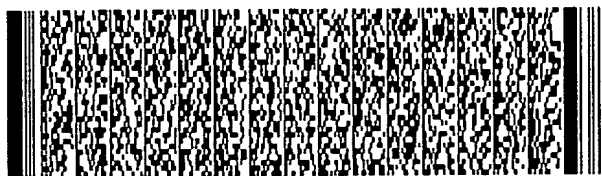
本發明是有關於一種具有被動元件之晶片結構及形成被動元件於晶片結構上之方法，且特別是有關於一種具有高精確度及高效能之被動元件的晶片結構，及其所對應之形成高精確度及高效能之被動元件於晶片結構上的方法。

【先前技術】

資訊產品在工商社會所扮演的角色已愈來愈重要，隨著資訊產品的推陳出新，尤其現在的電路設計均導入整合的概念，因此下一代的單一晶片往往比前一代的單一晶片整合有更多的功能。在整合之後，不但電路體積可以縮減，而且大部分信號間的傳遞僅在單一晶片內，因此可以縮減信號間傳遞的路徑，而具有較高的電性效能。

一般而言，電路設計均會涵蓋有被動元件的設計，一般係將部份之被動元件配置在晶片的內部或是在印刷電路板上。若是要將被動元件形成在晶片的內部時，其係利用一般的半導體製程，包括物理氣相沈積、化學氣相沈積及微影蝕刻等製程，在製作晶片內的電路時，便直接形成被動元件於晶片內。若是要將被動元件形成在印刷電路板上時，一般是利用表面黏著技術將被動元件接合到印刷電路板上。另外，在最新的技術中，還提出將被動元件配置在晶片之保護層上的概念，如美國專利第6,303,423號、第6,455,885號、第6,489,647號、第6,489,656號及第6,515,369號中所述。

然而，不論將被動元件形成在何處，均具有利弊得



五、發明說明 (2)

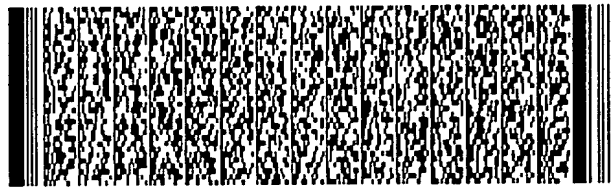
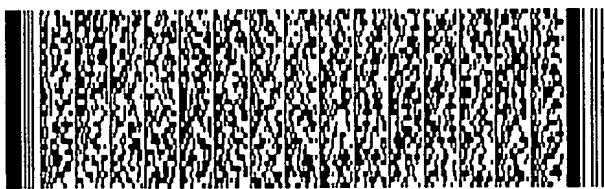
失。比如將被動元件形成在晶片內時，由於半導體製程之影像解析度可以小到約0.1微米，因此藉由晶圓廠之半導體製程可以製作高精密度的電阻元件，而透過化學氣相沈積製程亦可以製作出具有甚薄之介電層的電容元件。但是當在製作電感元件於晶片內時，薄金屬層所產生的電阻性及因為電感元件所產生的電磁場對矽基底所引發的渦電流(eddy current)效應，均會降低電感元件之品質參數，如此是無法製作出高精度及高效能之電感元件的。

此外，若是要將被動元件形成在晶片之保護層上時，一般是凸塊廠中進行，但是凸塊廠無法提供高影像解析度的製程，因此在製作電阻元件及電容元件時尺寸上會具有較大的誤差，使得電阻元件之電阻值及電容元件之電容值無法控制在甚小的誤差內。此外，在一般的凸塊廠中，並沒有化學沈積薄膜製程的能力，以致無法製造薄的電容介電層，因此無法製作具有稍大電容值之電容元件。

【發明內容】

因此本發明目的之一就是提供一種具有被動元件之晶片結構及形成被動元件於晶片結構上之方法，其係結合晶圓廠及凸塊廠的機台及製程技術，藉以形成高精密度的電阻元件、電容元件及電感元件於晶片上。

在敘述本發明之前，先對空間介詞的用法做界定，所謂空間介詞"上"係指兩物之空間關係係為可接觸或不可接觸均可。舉例而言，A物在B物上，其所表達的意思係為A物可以直接配置在B物上，A物有與B物接觸；或者A物係配

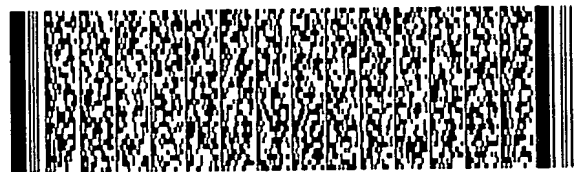
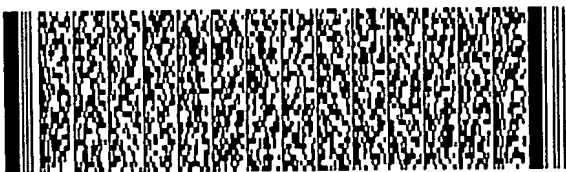


五、發明說明 (3)

置在B物上的空間中，A物沒有與B物接觸。

為達成本發明之上述及其他之目的，提出一種形成被動元件於晶片結構上之方法，至少包括以下步驟。首先提供一基底，基底具有一表面。接著在晶圓廠中形成多個介電層於基底之表面上，線路積層具有多層，每一線路層係分別位在介電層之其中一上，線路層係與電子元件電性連接，在形成電子的表層或是一線路積層之任一介電層上，而形成長線路積層。接下來，在晶圓廠中形成一貫穿保護層，保護層開口暴露第一電極。接著，便可將此晶片結構從晶圓廠移至凸塊廠，然後在凸塊廠中形成一金屬線路，一第二電極及一電阻元件，其中第二電阻元件係位在保護層上。

為達成本發明之上述及其他之目的，並不限於將電阻元件形成在基底之表面的表層、基底之表面上或是線路積層之任一介電層上，亦可以在晶圓廠中，形成一電阻元件在保護層上，而電阻元件係與保護層接觸。接著，才將此晶片結構從晶圓廠移至凸塊廠，然後在凸塊廠中形成一



五、發明說明 (4)

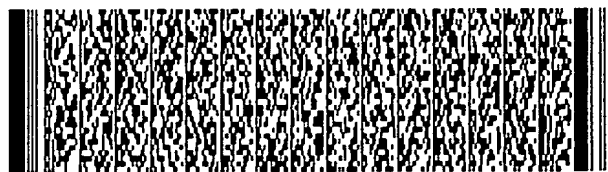
屬線路在保護層上，金屬線路係與電阻元件電性連接。

綜上所述，本發明之具有被動元件之晶片結構及形被動元件於晶片結構上之方法，由於在晶圓廠中，半導體製程之影像解析度可以小到約0.1微米，故可以形成高尺寸精密度的電阻元件，如此便可以製作出高電阻值精密度的電阻元件。

再者，由於電容元件係配置在靠近保護層的位置，因此可以將晶片結構之基底保留更多的空間來配置電子元件，且在保護層處可以有較大的空間來形成電容元件，故可以形成具有較大電容值之電容元件於晶片結構上，且電容元件的尺寸也易於修正。另外，由於電容元件係配置在遠離晶片結構之基底處，因此可以避免電容元件所貯存之電荷干擾到位在晶片結構之基底上的電子元件。此外，由於電容元件之電容介電層是利使用前段之半導體製程所完成，因此可以精確地控制電容介電層的厚度，如此電容元件之電容值便可以精確地控制。

此外，由於在凸塊廠中，所製作出的電感元件具有甚厚的金屬線路，因此可以降低電感元件之金屬線路的電阻性，且電感元件亦可以形成在比如是聚合物且厚度的甚厚的絕緣層上，故電感元件可以配置在距離矽基底甚遠的位置，因此可以降低由電感元件所產生的電磁場對矽基底所引發的渦電流(eddy current)效應，如此可以製作出高精度及高效能之電感元件。

為讓本發明之上述和其他目的、特徵、和優點能更明



五、發明說明 (5)

顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

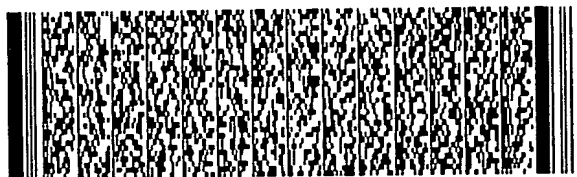
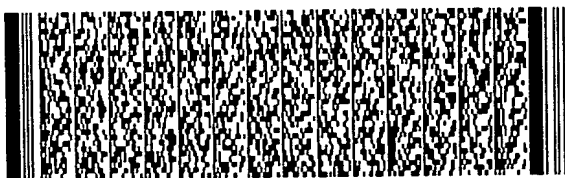
【實施方式】

第一實施例

請參照第1圖，其繪示依照本發明第一較佳實施例之在晶圓廠中所製作之晶片的剖面示意圖。在晶圓廠中，會形成比如是電晶體或金屬氧化半導體之多個電子元件112在基底110之一表面114的表層，其中基底110的材質比如是矽。當在製作電子元件112時，還可以利用摻雜的方式將硼、磷、砷或銻等雜質摻雜到基底110之表面114的表層，藉以形成電阻元件140，而電阻元件140的材質比如為n型井的材質、p型井的材質、N+擴散區域的材質或P+擴散區域的材質。

接著要依序形成多層介電層122、124及多層線路層132、134到基底110之表面114上，藉以形成一線路積層120，其中介電層122、124係疊層在基底110上，線路層132係位在介電層122上，且介電層124覆蓋線路層132，線路層134係位在介電層124上，線路層132、134可以透過導通孔金屬136使其電性連接，且線路層132、134可以與電子元件112電性連接。

其中在製作線路層134時，可以同時形成電容元件之其中一電極152在介電層124上，其中電極152係位在線路積層120中最遠離基底110之介電層124上。就形成電極152的製程而言，電極152比如是以物理氣相沈積的方式，沈



五、發明說明 (6)

積鋁或鋁合金而成；或者，電極152亦可以利用陰刻法(Damascene)的方式，沈積銅或銅合金而成。而電極152厚度d1比如是介於0.05微米到2微米之間。

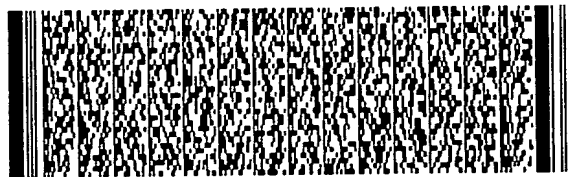
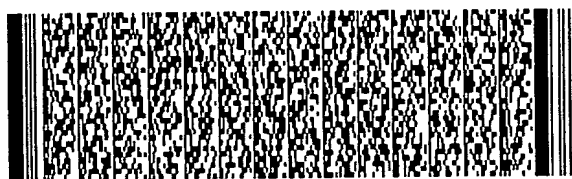
此外，在製作線路層134時，還可以同時形成電磁場隔離層160在介電層124上，其中電磁場隔離層160係位在線路積層120中最遠離基底110之介電層124上。就形成電磁場隔離層160的製程而言，電磁場隔離層160比如是以物理氣相沈積的方式，沈積鋁或鋁合金而成；或者，電磁場隔離層160亦可以利用陰刻法(Damascene)的方式，沈積銅或銅合金而成。如上所述，電極152及電磁場隔離層160可以是相同的材質，比如是鋁、銅、鋁合金或銅合金等。

接下來，要形成保護層126在線路積層120上，保護層126會覆蓋線路層134及電磁場隔離層160，藉由保護層126可以防止環境中的雜質及水氣進入到晶片100內，保護層126之厚度t比如是大於0.35微米。保護層126具有多個保護層開口128、129，藉以暴露出電極152及線路層134，而保護層開口129之可量測的最大寬度可以小至0.1微米，比如是介於0.1微米到20微米之間。

接下來，可以形成一電容介電層154到電極152上，其中電容介電層154的厚度d2比如介於0.005微米到2微米之間。

電容介電層154比如可以利用下列兩種方式形成：

第一種：電容介電層154係以化學氣相沈積的方式，沈積四乙烷基氧矽甲烷(tetraethylorthosilicate，



五、發明說明 (7)

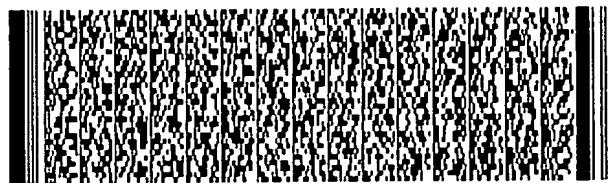
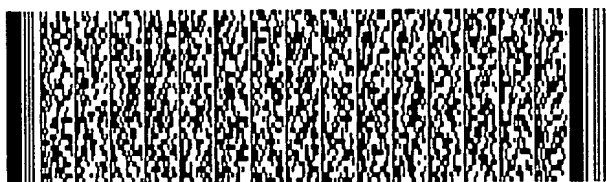
TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五氧化二鉭(Ta_2O_5)、鈦酸鋇($SrTiO_3$)或鈦酸鋇鉬(BST)而成；

第二種：電容介電層154係以物理氣相沈積的方式，沈積五氧化二鉭(Ta_2O_5)、鈦酸鋇($SrTiO_3$)或鈦酸鋇鉬(BST)而成。

如上所述，電容介電層154可以是上述任一材質的單層結構，或者電容介電層154亦可以是上述部份材質所構成之複合層結構。其中，電容介電層154具有一電容介電層開口155，暴露出電極152。

在形成完電容介電層154之後，便可以將晶片結構之半成品101從晶圓廠移至凸塊廠製作接下來的製程，第2圖到第4圖係繪示依照本發明第一較佳實施例之晶片結構在凸塊廠中之製程剖面示意圖。請先參照第2圖，在晶片100移至凸塊廠之後，可以形成一絕緣層170在保護層126上，絕緣層170具有多個絕緣層開口172，係大致上對準保護層開口128、129，絕緣層開口172暴露出線路層134、電容介電層154及電極152。絕緣層170之材質比如是聚醯亞胺(polyimide, PI)、苯基環丁烯(benzocyclobutene, BCB)、聚亞芳香基醚(parylene)、多孔性介電材質或彈性體等。

接下來，請參照第3圖，比如是以濺鍍及電鍍的方式形成一金屬層180在絕緣層170上，且金屬層180還填入於絕緣層開口172中，金屬層180之結構比如是由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合

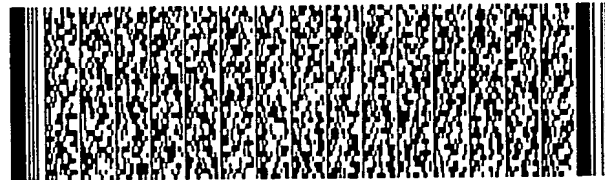
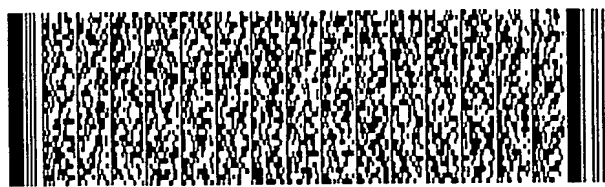


五、發明說明 (8)

而成的複合層。然而本發明的應用並不限於此，金屬層180亦可以是僅利用濺鍍的方式形成，在此狀況下，金屬層180的材質比如是鋁或鋁合金。

金屬層180包括金屬線路182、184、電容元件之其中一電極186及電感元件188。金屬線路182可以穿過絕緣層開口172及保護層開口129，並經由線路積層120之線路層134及導通孔金屬136電性連接於電阻元件140，其中金屬線路182比如是電源匯流排、接地匯流排、或是用於傳輸訊號的線路。金屬線路184可以經過絕緣層開口172及電容介電層開口155電性連接於電極152。電極186係位在電容介電層154上，且電極186之厚度d3比如是介於0.6微米到50微米之間。電極186、152及位在電極152、186間的電容介電層154係構成一電容元件150。電感元件188係位在絕緣層170上，其中電感元件188比如是螺旋環繞的樣式，或是類似線圈的樣式，其詳細結構可以參照中華民國專利公告第506,045號。電感元件188之下可以形成電磁場隔離層160，亦即電磁場隔離層160係位在電感元件188與電子元件112之間，藉由電磁場隔離層160可以遮蔽電感元件188所產生的電磁場，如此可以減少電感元件188所產生的電磁場影響電子元件112的程度。

在如上所述之金屬層180中，電極186、電感元件188及金屬線路182、184係同時圖案化製作完成，且電感元件188之金屬結構、金屬線路182、184之金屬結構及電極186之金屬結構係為相同的，比如均是鈦層及銅層由下而上地



五、發明說明 (9)

疊合而成；或是由鈦層、銅層及鎳層由下而上地疊合而成；或是由鈦層、銅層、鎳層及金層由下而上地疊合而成；或是由鈦鎢合金層及金層由下而上地疊合而成。

接下來，請參照第4圖，比如可以利用旋塗 (spin-coating) 的方式形成一絕緣材料190在絕緣層170上，絕緣材料190係包覆電極186、電感元件188及金屬線路182、184，其中絕緣材料190之材質比如是聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質或彈性體等。

在本發明中，由於在晶圓廠中，半導體製程之影像解析度可以小到約0.1微米，故可以形成高尺寸精密度的電阻元件140於基底110之表面114的表層，如此便可以製作出高電阻值精密度的電阻元件140。

在本發明中，由於電容元件150係配置在靠近保護層126的位置，因此可以將晶片結構100之基底110保留更多的空間來配置電子元件112，且在保護層126處可以有較大的空間來形成電容元件150，故可以形成具有較大電容值之電容元件150於晶片結構100上，且電容元件150的尺寸也易於修正。另外，由於電容元件150係配置在遠離晶片結構100之基底110處，因此可以避免電容元件150所貯存之電荷干擾到位在晶片結構100之基底110上的電子元件112。此外，由於電容元件150之電容介電層154是利用前段之半導體製程所完成，因此可以精確地控制電容介電層154的厚度，如此電容元件150之電容值便可以精確地控



五、發明說明 (10)

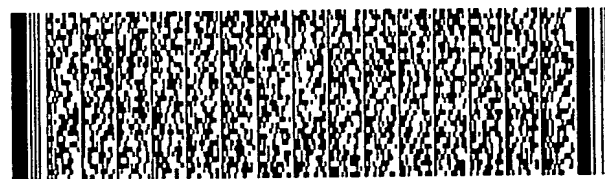
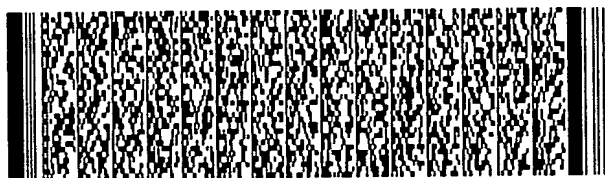
制。

在本發明中，由於電感元件188係在凸塊廠中形成，因此所製作出的電感元件188具有甚厚的金屬線路，因此可以降低電感元件188之金屬線路的電阻性，且可以形成在甚厚的絕緣層170上，故電感元件188可以配置在距離基底110甚遠的位置，因此可以降低由電感元件188所產生的電磁場對基底110所引發的渦電流(eddy current)效應，如此可以製作出高精密度及高效能之電感元件188。

第二實施例

第5圖及第6圖繪示依照本發明第二較佳實施例之晶片結構的剖面示意圖，其中若是本實施例中的標號與第一實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第一實施例中所指明的構件，在此便不再贅述。

請先參照第5圖，在本實施例中，亦可以在晶圓廠中將電阻元件340形成在線路積層120之任一介電層上，比如是在介電層122上，金屬線路182可以穿過絕緣層170及保護層126，並經由線路積層120之線路層134及導通孔金屬136電性連接於電阻元件340。就製程而言，電阻元件340比如是以化學氣相沈積的方式沈積多晶矽而成；或者甚至還可以摻雜硼、磷、砷或銻到多晶矽中，藉以調整電阻元件340之電阻值。另外，電阻元件340亦可以是以物理氣相沈積的方式沈積鋁、鋁合金、銅或銅合金而成；電阻元件340亦可以是以化學氣相沈積的方式沈積鎢而成。



五、發明說明 (11)

請參照第6圖，亦可以在晶圓廠中將電阻元件440形成在介電層124上，而金屬線路182可以穿過絕緣層170及保護層126電性連接於電阻元件440，其中電阻元件440與電容元件150之電極152均形成在線路積層120最遠離基底110之介電層124上，且保護層126會覆蓋電阻元件440及電容元件150之電極152。在較佳的情況下，電阻元件440之材質可以相同於電容元件150之電極152的材質，比如是鋁、鋁合金、銅或銅合金。

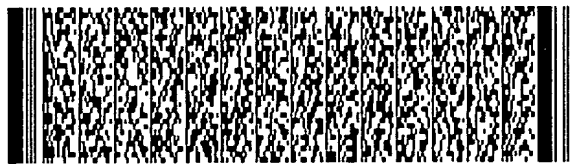
第三實施例

第7圖繪示依照本發明第三較佳實施例之晶片結構的剖面示意圖，其中若是本實施例中的標號與第一實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第一實施例中所指明的構件，在此便不再贅述。

請先參照第7圖，在本實施例中，亦可以在晶圓廠中將電阻元件540形成在保護層126上，金屬線路182可以穿過絕緣層170電性連接於電阻元件540。就製程而言，電阻元件540比如是以氣相沈積的方式或電鍍的方式沈積鋁、鋁合金、銅、銅合金、鎳鉻合金、鎳錫合金、鈹氮化合物、鈹或鎢而成。

第四實施例

在前述的較佳實施例中，係將電感元件及金屬線路形成在比如是聚醯亞胺的絕緣層上，然而本發明的應用並不



五、發明說明 (12)

限於此，如第8圖所示，其繪示依照本發明第四較佳實施例之晶片結構的剖面示意圖，其中若是本實施例中的標號與前述實施例一樣者，則表示在本實施例中所指明的構件係雷同於在前述實施例中所指明的構件，在此便不再贅述。

請先參照第8圖，在本實施例中，亦可以在凸塊廠中將電感元件188及金屬線路182直接形成在保護層126上，金屬線路182可以穿過保護層170電性連接於電阻元件440，而電感元件188的配置係對準電磁場隔離層160，藉由電磁場隔離層160可以遮蔽電感元件188所產生的電磁場，如此可以防止電子元件112受到電感元件188所產生的磁場干擾。絕緣材料690係形成在保護層126上，包覆電容元件150之電極186、電感元件188及金屬線路182。絕緣材料690之材質比如是聚醯亞胺(polyimide, PI)、苯基環丁烯(benzocyclobutene, BCB)、聚亞芳香基醚(parylene)、多孔性介電材質或彈性體等。

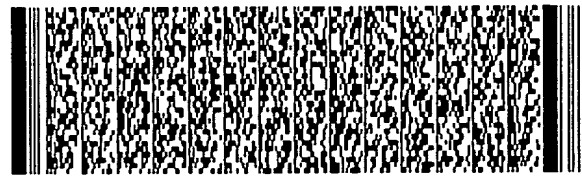
結論

在上述的每一實施例中，晶片結構均包括電感元件、電容元件及電阻元件，然而在實際應用上並不限於此，亦可以是其他的組合，如下所述：

第一組合：僅形成電阻元件到晶片結構中；

第二組合：僅形成電容元件到晶片結構中；

第三組合：僅形成電感元件到晶片結構中；



五、發明說明 (13)

第四組合：僅形成電感元件及電阻元件到晶片結構中；

第五組合：僅形成電感元件及電容元件到晶片結構中；以及

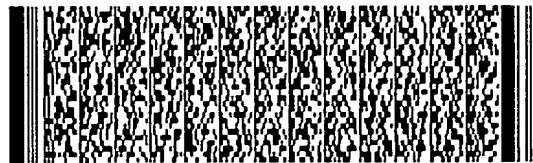
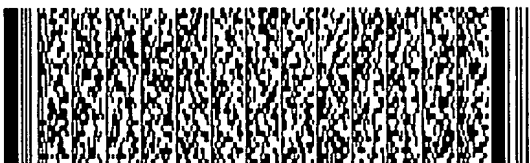
第六組合：僅形成電阻元件及電容元件到晶片結構中。

綜上所述，本發明至少具有下列優點：

1. 本發明之具有被動元件之晶片結構及形成被動元件於晶片結構上之方法，由於在晶圓廠中，半導體製程之影像解析度可以小到約0.1微米，故可以形成高尺寸精密度的電阻元件，如此便可以製作出高電阻值精密度的電阻元件。

2. 本發明之具有被動元件之晶片結構及形成被動元件於晶片結構上之方法，由於電容元件係配置在靠近保護層的位置，因此可以將晶片結構之基底保留更多的空間來配置電子元件，且在保護層處可以有較大的空間來形成電容元件，故可以形成具有較大電容值之電容元件於晶片結構上，且電容元件的尺寸也易於修正。另外，由於電容元件係配置在遠離晶片結構之基底處，因此可以避免電容元件所貯存之電荷干擾到位在晶片結構之基底上的電子元件。此外，由於電容元件之電容介電層是利使用前段之半導體製程所完成，因此可以精確地形成較薄的電容介電層，故可以製作具有較大電容值之電容元件。

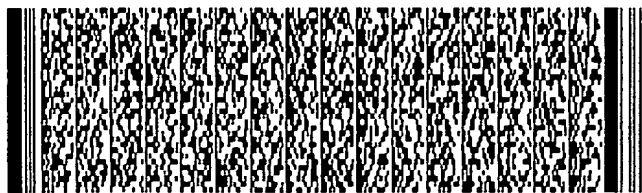
3. 本發明之具有被動元件之晶片結構及形成被動元件



五、發明說明 (14)

於晶片結構上之方法，由於在凸塊廠中，所製作出的電感元件具有甚厚的金屬線路，因此可以降低電感元件之金屬線路的電阻性，且電感元件亦可以形成在比如是聚合物且厚度甚厚的絕緣層上，故電感元件能夠配置在距離矽基底甚遠的位置，因此可以降低由電感元件所產生的電磁場對矽基底所引發的渦電流(eddy current)效應，如此可以製作出高精密度及高效能之電感元件。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之隔離範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示依照本發明第一較佳實施例之在晶圓廠中所製作之晶片的剖面示意圖。

第2圖到第4圖繪示依照本發明第一較佳實施例之晶片結構在凸塊廠中之製程剖面示意圖。

第5圖及第6圖繪示依照本發明第二較佳實施例之晶片結構的剖面示意圖。

第7圖繪示依照本發明第三較佳實施例之晶片結構的剖面示意圖。

第8圖繪示依照本發明第四較佳實施例之晶片結構的剖面示意圖。

【圖式標示說明】

100：晶片結構

101：晶片結構之半成品

110：基底

114：表面

122：介電層

126：保護層

129：保護層開口

134：線路層

140：電阻元件

152：第一電極

155：電容介電層開口

160：電磁場隔離層

172：絕緣層開口

112：電子元件

120：線路積層

124：介電層

128：保護層開口

132：線路層

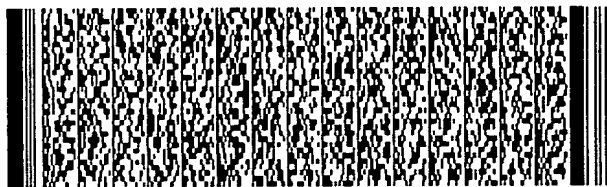
136：導通孔金屬

150：電容元件

154：電容介電層

170：絕緣層

180：金屬層



圖式簡單說明

182 : 金屬線路

186 : 電極

190 : 絕緣材料

440 : 電阻元件

d1 : 電極之厚度

d2 : 電容介電層之厚度

d3 : 電極之厚度

184 : 金屬線路

188 : 電感元件

340 : 電阻元件

540 : 電阻元件

t : 保護層之厚度



六、申請專利範圍

1. 一種形成被動元件於晶片結構上之方法，至少包括：

提供一基底，該基底具有一表面；

形成複數個電子元件於該基底之該表面的表層，接著形成一線路積層於該基底之該表面上，該線路積層具有複數層介電層及複數層線路層，該些介電層係疊層在該基底之該表面上，每一該些線路層係分別位在該些介電層之其中一上，該些線路層係與該些電子元件電性連接，在形成該些電子元件及該線路積層時，還形成一電阻元件於該基底之該表面的表層或是該線路積層之任一該些介電層上，而在形成該線路積層時，還形成一第一電極在該線路積層最遠離該基底之該介電層上；

形成一保護層在該線路積層上，且該保護層具有一第一保護層開口，貫穿該保護層，該第一保護層開口暴露出該第一電極；

形成一電容介電層在該第一電極上；

形成一第二電極在該電容介電層上；以及

形成一電感元件在該保護層上。

2. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中在形成該線路積層時，還形成一電磁場隔離層在該線路積層最遠離該基底之該介電層上，而該電感元件係形成在該電磁場隔離層上。

3. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中當該電阻元件形成於該基底之該表面



六、申請專利範圍

的表層時，係藉由摻雜的方式將硼、磷、砷及鎵，四者擇一，摻雜到該基底之該表面的表層，藉以形成該電阻元件。

4. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中當該電阻元件係形成於該基底之該表面的表層時，該電阻元件的材質係為n型井的材質、p型井的材質、N+擴散區域的材質及P+擴散區域的材質，四者擇一。

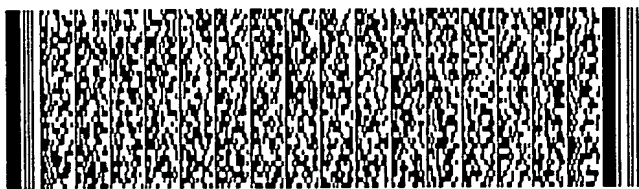
5. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中當該電阻元件形成在該線路積層之任一該些介電層上時，該電阻元件係以化學氣相沈積的方式沈積多晶矽而成。

6. 如申請專利範圍第5項所述之形成被動元件於晶片結構上之方法，其中還藉由摻雜的方式將硼、磷、砷及鎵，四者擇一，摻雜到該電阻元件中，藉以調整該電阻元件之電阻值。

7. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中當該電阻元件形成在該線路積層之任一該些介電層上時，該電阻元件係以氣相沈積的方式沈積鋁、鋁合金、銅、銅合金及鎢，五者擇一，而成。

8. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中該電阻元件與該第一電極均形成在該線路積層最遠離該基底之該介電層上。

9. 如申請專利範圍第1項所述之形成被動元件於晶片



六、申請專利範圍

結構上之方法，其中在形成該第一電極在該線路積層最遠離該基底之該介電層上時，該第一電極係以物理氣相沈積的方式，沈積鋁及鋁合金，二者擇一，而成。

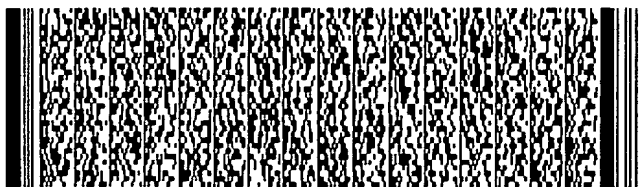
10. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中在形成該第一電極在該線路積層最遠離該基底之該介電層上時，該第一電極係以陰刻法(Damascene)的方式，沈積銅及銅合金，二者擇一，而成。

11. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中該電容介電層係由下列部份材質所構成之複合層，該些材質包括四乙烷基氧矽甲烷(TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五氧化二鉭、鈦酸鋇及鈦酸鋇鉍。

12. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中在形成該電容介電層在該第一電極上時，該電容介電層係以化學氣相沈積的方式，沈積四乙烷基氧矽甲烷(TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五氧化二鉭、鈦酸鋇及鈦酸鋇鉍，七者擇一，而成。

13. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中在形成該電容介電層在該第一電極上時，該電容介電層係以物理氣相沈積的方式，沈積五氧化二鉭、鈦酸鋇及鈦酸鋇鉍，三者擇一，而成。

14. 如申請專利範圍第1項所述之形成被動元件於晶片



六、申請專利範圍

結構上之方法，其中該電阻元件的材質係相同於該第一電極的材質。

15. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中係以濺鍍及電鍍的方式形成該電感元件在該保護層上。

16. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中該電感元件之結構係選自於由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合而成的複合層。

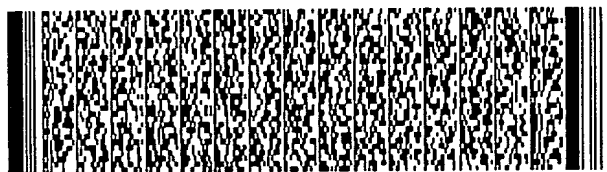
17. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中係以濺鍍的方式形成該電感元件在該保護層上。

18. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中該電感元件之材質係為鋁及鋁合金，二者擇一。

19. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中係以濺鍍及電鍍的方式形成該第二電極在該電容介電層上。

20. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中該第二電極之結構係選自於由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合而成的複合層。

21. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中係以濺鍍的方式形成該第二電極在該



六、申請專利範圍

電容介電層上。

22. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中該第二電極之材質係為鋁及鋁合金，二者擇一。

23. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中該電感元件之金屬結構係相同於該第二電極之金屬結構。

24. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中還要形成一絕緣材料在該保護層上，該絕緣材料係包覆該第二電極及該電感元件。

25. 如申請專利範圍第24項所述之形成被動元件於晶片結構上之方法，其中該絕緣材料之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

26. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中在形成該電感元件之前，還要形成一絕緣層在該保護層上，而該電感元件係形成在該絕緣層上。

27. 如申請專利範圍第26項所述之形成被動元件於晶片結構上之方法，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

28. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中該第二電極及該電感元件係同時圖案



六、申請專利範圍

化製作完成。

29. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中在形成該保護層在該線路積層上之後，還形成一金屬線路在該保護層上，該金屬線路係經過該保護層與該電阻元件電性連接。

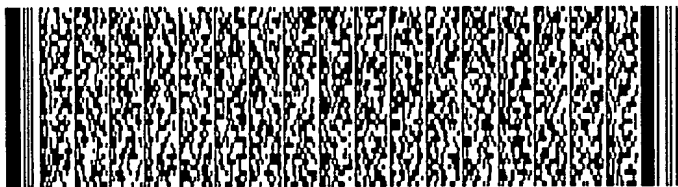
30. 如申請專利範圍第29項所述之形成被動元件於晶片結構上之方法，其中在形成該金屬線路之前，還要形成一絕緣層在該保護層上，而該金屬線路係形成在該絕緣層上。

31. 如申請專利範圍第30項所述之形成被動元件於晶片結構上之方法，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

32. 如申請專利範圍第1項所述之形成被動元件於晶片結構上之方法，其中在形成該保護層在該線路積層上之後，還形成一金屬線路在該保護層上，而該保護層具有一第二保護層開口，該金屬線路係經過該第二保護層開口與該線路積層之該些線路層電性連接。

33. 如申請專利範圍第32項所述之形成被動元件於晶片結構上之方法，其中該第二保護層開口之可量測的最大寬度係介於0.1微米到20微米之間。

34. 如申請專利範圍第32項所述之形成被動元件於晶片結構上之方法，其中該金屬線路係為一電源匯流排及一接地匯流排，二者擇一。



六、申請專利範圍

35. 如申請專利範圍第32項所述之形成被動元件於晶片結構上之方法，其中該金屬線路係經過該保護層連接線路積層之部分線路至其他部分線路。

36. 如申請專利範圍第32項所述之形成被動元件於晶片結構上之方法，其中在形成該金屬線路之前，還要形成一絕緣層在該保護層上，而該金屬線路係形成在該絕緣層上。

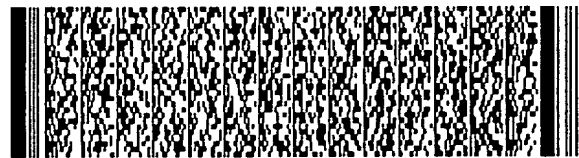
37. 如申請專利範圍第36項所述之形成被動元件於晶片結構上之方法，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

38. 一種形成被動元件於晶片結構上之方法，至少包括：

提供一基底，該基底具有一表面；

形成複數個電子元件於該基底之該表面的表層，接著形成一線路積層於該基底之該表面上，該線路積層具有複數層介電層及複數層線路層，該些介電層係疊層在該基底之該表面上，每一該些線路層係分別位在該些介電層之其中之一上，該些線路層係與該些電子元件電性連接，在形成該線路積層時，還形成一第一電極在該線路積層最遠離該基底之該介電層上；

形成一保護層在該線路積層上，且該保護層具有一第一保護層開口，貫穿該保護層，該第一保護層開口暴露出該第一電極；



六、申請專利範圍

形成一電容介電層在該第一電極上；

形成一第二電極在該電容介電層上；以及

形成一電感元件在該保護層上。

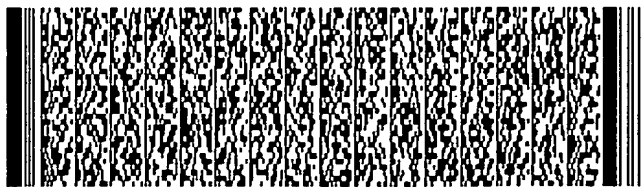
39. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中在形成該第一電極在該線路積層最遠離該基底之該介電層上時，該第一電極係以物理氣相沈積的方式，沈積鋁及鋁合金，二者擇一，而成。

40. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中在形成該第一電極在該線路積層最遠離該基底之該介電層上時，該第一電極係以陰刻法(Damascene)的方式，沈積銅及銅合金，二者擇一，而成。

41. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中該電容介電層係由下列部份材質所構成之複合層，該些材質包括四乙烷基氧矽甲烷(TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五氧化二鉭、鈦酸鋇及鈦酸鋇鋇。

42. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中在形成該電容介電層在該第一電極上時，該電容介電層係以化學氣相沈積的方式，沈積四乙烷基氧矽甲烷(TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五氧化二鉭、鈦酸鋇及鈦酸鋇鋇，七者擇一，而成。

43. 如申請專利範圍第38項所述之形成被動元件於晶



六、申請專利範圍

片結構上之方法，其中在形成該電容介電層在該第一電極上時，該電容介電層係以物理氣相沈積的方式，沈積五氧化二鉭、鈦酸鋁及鈦酸鋁鉍，三者擇一，而成。

44. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中係以濺鍍及電鍍的方式形成該電感元件在該保護層上。

45. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中該電感元件之結構係選自於由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合而成的複合層。

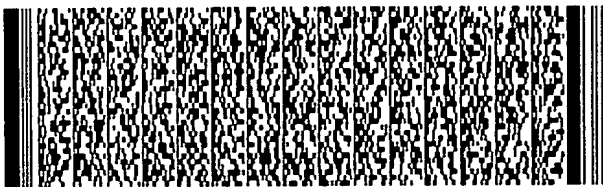
46. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中係以濺鍍的方式形成該電感元件在該保護層上。

47. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中該電感元件之材質係為鋁及鋁合金，二者擇一。

48. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中係以濺鍍及電鍍的方式形成該第二電極在該電容介電層上。

49. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中該第二電極之結構係選自於由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合而成的複合層。

50. 如申請專利範圍第38項所述之形成被動元件於晶



六、申請專利範圍

片結構上之方法，其中係以濺鍍的方式形成該第二電極在該電容介電層上。

51. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中該第二電極之材質係為鋁及鋁合金，二者擇一。

52. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中該電感元件之金屬結構係相同於該第二電極之金屬結構。

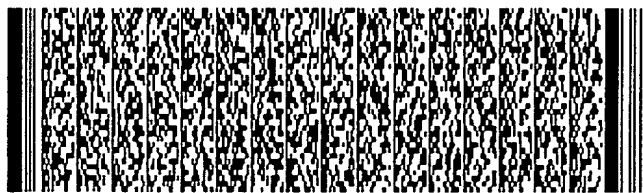
53. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中在形成該線路積層時，還形成一電磁場隔離層在該線路積層最遠離該基底之該介電層上，而該電感元件係形成在該電磁場隔離層上。

54. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中還形成一金屬線路在該保護層上，而該保護層具有一第二保護層開口，該金屬線路係經過該第二保護層開口與該線路積層之該些線路層電性連接。

55. 如申請專利範圍第54項所述之形成被動元件於晶片結構上之方法，其中該第二保護層開口之可量測的最大寬度係介於0.1微米到20微米之間。

56. 如申請專利範圍第54項所述之形成被動元件於晶片結構上之方法，其中該金屬線路係為一電源匯流排及一接地匯流排，二者擇一。

57. 如申請專利範圍第54項所述之形成被動元件於晶片結構上之方法，其中該金屬線路係經過該保護層連接該



六、申請專利範圍

線路積層之部分線路至其他部分線路。

58. 如申請專利範圍第54項所述之形成被動元件於晶片結構上之方法，其中在形成該金屬線路之前，還要形成一絕緣層在該保護層上，而該金屬線路係形成在該絕緣層上。

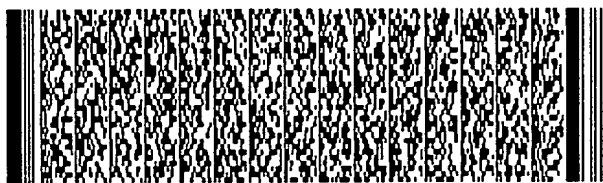
59. 如申請專利範圍第58項所述之形成被動元件於晶片結構上之方法，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

60. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中還要形成一絕緣材料在該保護層上，該絕緣材料係包覆該第二電極及該電感元件。

61. 如申請專利範圍第60項所述之形成被動元件於晶片結構上之方法，其中該絕緣材料之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

62. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中在形成該電感元件之前，還要形成一絕緣層在該保護層上，而該電感元件係形成在該絕緣層上。

63. 如申請專利範圍第62項所述之形成被動元件於晶片結構上之方法，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。



六、申請專利範圍

64. 如申請專利範圍第38項所述之形成被動元件於晶片結構上之方法，其中該第二電極及該電感元件係同時案化製作完成。

65. 一種形成被動元件於晶片結構上之方法，至少包括：

提供一基底，該基底具有一表面；

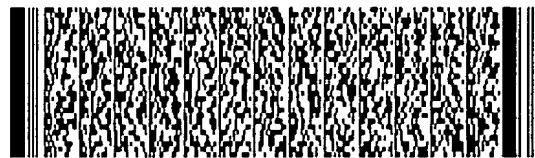
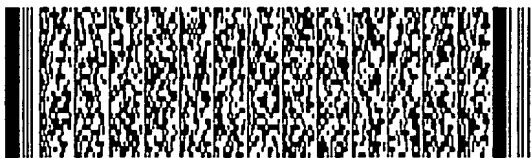
形成複數個電子元件於該基底之該表面的表層，接著形成一線路積層於該基底之該表面上，該線路積層具有複數層介電層及複數層線路層，該些介電層係疊層在該基底之該表面上，每一該些線路層係分別位在該些介電層之其中之一上，該些線路層係與該些電子元件電性連接，在形成該些電子元件及該線路積層時，還形成一電阻元件於該基底之該表面的表層或是該線路積層之任一該些介電層上；

形成一保護層在該線路積層上；以及

形成一第一金屬線路在該保護層上，該第一金屬線路係經過該保護層與該電阻元件電性連接。

66. 如申請專利範圍第65項所述之形成被動元件於晶片結構上之方法，其中還形成一第二金屬線路在該保護層上，而該保護層具有一保護層開口，該第二金屬線路係經過該保護層開口與該線路積層之該些線路層電性連接。

67. 如申請專利範圍第66項所述之形成被動元件於晶片結構上之方法，其中該保護層開口之可量測的最大寬度係介於0.1微米到20微米之間。



六、申請專利範圍

68. 如申請專利範圍第66項所述之形成被動元件於晶片結構上之方法，其中該第二金屬線路係為一電源匯流及一接地匯流排，二者擇一。

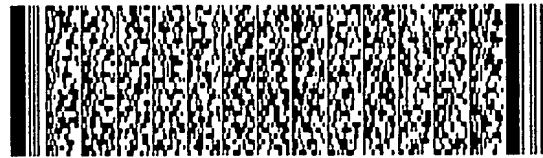
69. 如申請專利範圍第66項所述之形成被動元件於晶片結構上之方法，其中該第二金屬線路係經過該保護層連接該線路積層之部分線路至其他部分線路。

70. 如申請專利範圍第66項所述之形成被動元件於晶片結構上之方法，其中在形成該第二金屬線路之前，還要形成一絕緣層在該保護層上，而該第二金屬線路係形成在該絕緣層上。

71. 如申請專利範圍第70項所述之形成被動元件於晶片結構上之方法，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

72. 如申請專利範圍第65項所述之形成被動元件於晶片結構上之方法，其中當該電阻元件形成於該基底之該表面的表層時，係藉由摻雜的方式將硼、磷、砷及銻，四者擇一，摻雜到該基底之該表面的表層，藉以形成該電阻元件。

73. 如申請專利範圍第65項所述之形成被動元件於晶片結構上之方法，其中當該電阻元件係形成於該基底之該表面的表層時，該電阻元件的材質係為n型井的材質、p型井的材質、N+擴散區域的材質及P+擴散區域的材質，四者擇一。



六、申請專利範圍

74. 如申請專利範圍第65項所述之形成被動元件於晶片結構上之方法，其中當該電阻元件形成在該線路積層之任一該些介電層上時，該電阻元件係以化學氣相沈積的方式沈積多晶矽而成。

75. 如申請專利範圍第74項所述之形成被動元件於晶片結構上之方法，其中還藉由摻雜的方式將硼、磷、砷及銻，四者擇一，摻雜到該電阻元件中，藉以調整該電阻元件之電阻值。

76. 如申請專利範圍第65項所述之形成被動元件於晶片結構上之方法，其中當該電阻元件形成在該線路積層之任一該些介電層上時，該電阻元件係以氣相沈積的方式沈積鋁、鋁合金、銅、銅合金及鎢，五者擇一，而成。

77. 如申請專利範圍第65項所述之形成被動元件於晶片結構上之方法，其中還要形成一絕緣材料在該保護層上，該絕緣材料係包覆該第一金屬線路。

78. 如申請專利範圍第77項所述之形成被動元件於晶片結構上之方法，其中該絕緣材料之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

79. 如申請專利範圍第65項所述之形成被動元件於晶片結構上之方法，其中在形成該第一金屬線路之前，還要形成一絕緣層在該保護層上，而該第一金屬線路係形成在該絕緣層上。

80. 如申請專利範圍第79項所述之形成被動元件於晶



六、申請專利範圍

片結構上之方法，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈體所組成之族群中的一種材質。

81. 一種形成被動元件於晶片結構上之方法，至少包括：

提供一基底，該基底具有一表面；

形成複數個電子元件於該基底之該表面的表層，接著形成一線路積層於該基底之該表面上，該線路積層具有複數層介電層及複數層線路層，該些介電層係疊層在該基底之該表面上，每一該些線路層係分別位在該些介電層之其中之一上，該些線路層係與該些電子元件電性連接；

形成一保護層在該線路積層上；

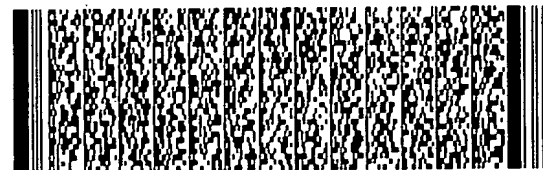
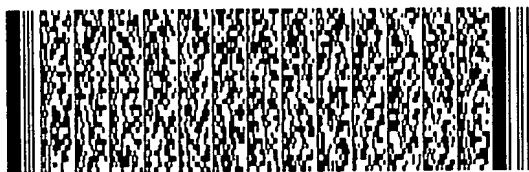
形成一電阻元件在該保護層上，該電阻元件係與該保護層接觸；以及

形成一第一金屬線路在該保護層上，該第一金屬線路係與該電阻元件電性連接。

82. 如申請專利範圍第81項所述之形成被動元件於晶片結構上之方法，其中還形成一第二金屬線路在該保護層上，而該保護層具有一保護層開口，該第二金屬線路係經過該保護層開口與該線路積層之該些線路層電性連接。

83. 如申請專利範圍第82項所述之形成被動元件於晶片結構上之方法，其中該保護層開口之可量測的最大寬度係介於0.1微米到20微米之間。

84. 如申請專利範圍第82項所述之形成被動元件於晶



六、申請專利範圍

片結構上之方法，其中該第二金屬線路係為一電源匯流排及一接地匯流排，二者擇一。

85. 如申請專利範圍第82項所述之形成被動元件於晶片結構上之方法，其中該第二金屬線路係經過該保護層連接該線路積層之部分線路至其他部分線路。

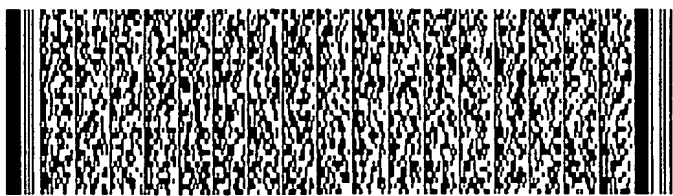
86. 如申請專利範圍第82項所述之形成被動元件於晶片結構上之方法，其中在形成該第二金屬線路之前，還要形成一絕緣層在該保護層上，而該第二金屬線路係形成在該絕緣層上。

87. 如申請專利範圍第82項所述之形成被動元件於晶片結構上之方法，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

88. 如申請專利範圍第81項所述之形成被動元件於晶片結構上之方法，其中該電阻元件係以氣相沈積的方式沈積鋁、鋁合金、銅、銅合金、鎳鉻合金、鎳錫合金、鉭氮化合物、鉭及鎢，九者擇一，而成。

89. 如申請專利範圍第81項所述之形成被動元件於晶片結構上之方法，其中還要形成一絕緣材料在該保護層上，該絕緣材料係包覆該電阻元件及該第一金屬線路。

90. 如申請專利範圍第89項所述之形成被動元件於晶片結構上之方法，其中該絕緣材料之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。



六、申請專利範圍

91. 如申請專利範圍第81項所述之形成被動元件於晶片結構上之方法，其中在形成該第一金屬線路之前，還要形成一絕緣層在該保護層上，而該第一金屬線路係形成在該絕緣層上。

92. 如申請專利範圍第91項所述之形成被動元件於晶片結構上之方法，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

93. 一種形成被動元件於晶片結構上之方法，至少包括：

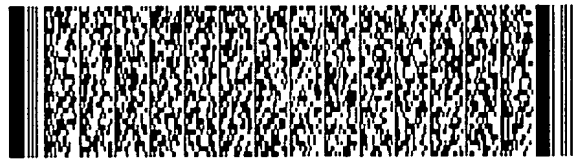
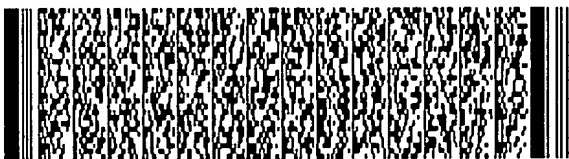
提供一基底，該基底具有一表面；

形成複數個電子元件於該基底之該表面的表層，接著形成一線路積層於該基底之該表面上，該線路積層具有複數層介電層及複數層線路層，該些介電層係疊層在該基底之該表面上，每一該些線路層係分別位在該些介電層之其中之一上，該些線路層係與該些電子元件電性連接，在形成該線路積層時，還形成一第一電極在該線路積層最遠離該基底之該介電層上；

形成一保護層在該線路積層上，且該保護層具有一第一保護層開口，貫穿該保護層，該第一保護層開口暴露出該第一電極；

形成一電阻元件在該保護層上，該電阻元件係與該保護層接觸；

形成一電容介電層在該第一電極上；



六、申請專利範圍

形成一第二電極在該電容介電層上；以及
形成一電感元件在該保護層上。

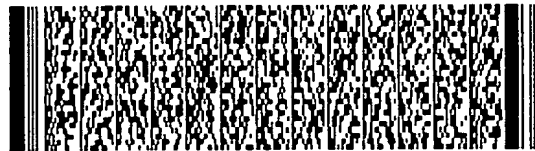
94. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中在形成該線路積層時，還形成一電磁場隔離層在該線路積層最遠離該基底之該介電層上，而該電感元件係形成在該電磁場隔離層上。

95. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中該電阻元件係以氣相沈積的方式沈積鋁、鋁合金、銅、銅合金、鎳鉻合金、鎳錫合金、鉭氮化合物、鉭及鎢，九者擇一，而成。

96. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中在形成該第一電極在該線路積層最遠離該基底之該介電層上時，該第一電極係以物理氣相沈積的方式，沈積鋁及鋁合金，二者擇一，而成。

97. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中在形成該第一電極在該線路積層最遠離該基底之該介電層上時，該第一電極係以陰刻法(Damascene)的方式，沈積銅及銅合金，二者擇一，而成。

98. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中該電容介電層係由下列部份材質所構成之複合層，該些材質包括四乙烷基氧矽甲烷(TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五氧化二鉭、鈦酸鋇及鈦酸鋇鉬。



六、申請專利範圍

99. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中在形成該電容介電層在該第一電極上時，該電容介電層係以化學氣相沈積的方式，沈積四乙烷基氧矽甲烷(TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五氧化二鉭、鈦酸鋁及鈦酸鋁鉬，七者擇一，而成。

100. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中在形成該電容介電層在該第一電極上時，該電容介電層係以物理氣相沈積的方式，沈積五氧化二鉭、鈦酸鋁及鈦酸鋁鉬，三者擇一，而成。

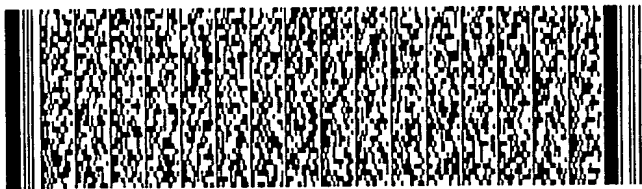
101. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中係以濺鍍及電鍍的方式形成該電感元件在該保護層上。

102. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中該電感元件之結構係選自於由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合而成的複合層。

103. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中係以濺鍍的方式形成該電感元件在該保護層上。

104. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中該電感元件之材質係為鋁及鋁合金，二者擇一。

105. 如申請專利範圍第93項所述之形成被動元件於晶



六、申請專利範圍

片結構上之方法，其中係以濺鍍及電鍍的方式形成該第二電極在該電容介電層上。

106. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中該第二電極之結構係選自於由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合而成的複合層。

107. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中係以濺鍍的方式形成該第二電極在該電容介電層上。

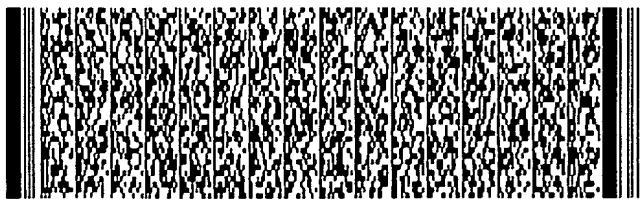
108. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中該第二電極之材質係為鋁及鋁合金，二者擇一。

109. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中該電感元件之金屬結構係相同於該第二電極之金屬結構。

110. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中還要形成一絕緣材料在該保護層上，該絕緣材料係包覆該第二電極、該電感元件及該電阻元件。

111. 如申請專利範圍第110項所述之形成被動元件於晶片結構上之方法，其中該絕緣材料之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

112. 如申請專利範圍第93項所述之形成被動元件於晶



六、申請專利範圍

片結構上之方法，其中在形成該電感元件之前，還要形成一絕緣層在該保護層上，而該電感元件係形成在該絕緣層上。

113. 如申請專利範圍第112項所述之形成被動元件於晶片結構上之方法，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

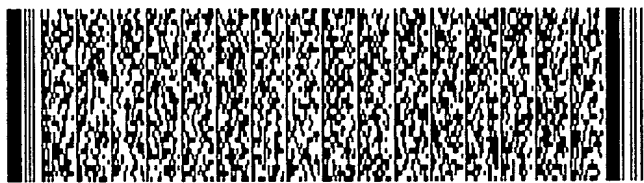
114. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中該第二電極及該電感元件係同時圖案化製作完成。

115. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中在形成該保護層在該線路積層上之後，還形成一金屬線路在該保護層上，該金屬線路係經過該保護層與該電阻元件電性連接。

116. 如申請專利範圍第115項所述之形成被動元件於晶片結構上之方法，其中在形成該金屬線路之前，還要形成一絕緣層在該保護層上，而該金屬線路係形成在該絕緣層上。

117. 如申請專利範圍第115項所述之形成被動元件於晶片結構上之方法，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

118. 如申請專利範圍第93項所述之形成被動元件於晶片結構上之方法，其中在形成該保護層在該線路積層上之



六、申請專利範圍

後，還形成一金屬線路在該保護層上，而該保護層具有一第二保護層開口，該金屬線路係經過該第二保護層開口與該線路積層之該些線路層電性連接。

119. 如申請專利範圍第118項所述之形成被動元件於晶片結構上之方法，其中該第二保護層開口之可量測的最大寬度係介於0.1微米到20微米之間。

120. 如申請專利範圍第118項所述之形成被動元件於晶片結構上之方法，其中該金屬線路係為一電源匯流排及一接地匯流排，二者擇一。

121. 如申請專利範圍第118項所述之形成被動元件於晶片結構上之方法，其中該金屬線路係經過該保護層連接該線路積層之部分線路至其他部分線路。

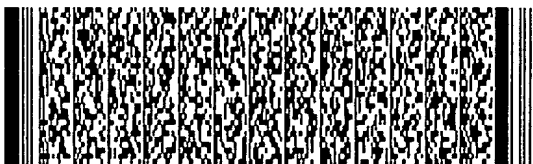
122. 如申請專利範圍第118項所述之形成被動元件於晶片結構上之方法，其中在形成該金屬線路之前，還要形成一絕緣層在該保護層上，而該金屬線路係形成在該絕緣層上。

123. 如申請專利範圍第122項所述之形成被動元件於晶片結構上之方法，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

124. 一種具有被動元件之晶片結構，至少包括：

一基底，具有複數個電子元件，位於該基底之一表面的表層；

一線路積層，位於該基底之該表面上，該線路積層具



六、申請專利範圍

有複數層介電層及複數層線路層，該些介電層係疊層在該基底之該表面上，每一該些線路層係分別位在該些介電層之其中之一上，該些線路層係與該些電子元件電性連接；

一電阻元件，位於該基底之該表面的表層或是該線路積層之任一該些介電層上；

一第一電極，位在該線路積層最遠離該基底之該介電層上；

一保護層，位在該線路積層上，且該保護層具有一第一保護層開口，貫穿該保護層，該第一保護層開口暴露出該第一電極；

一電容介電層，位在該第一電極上；

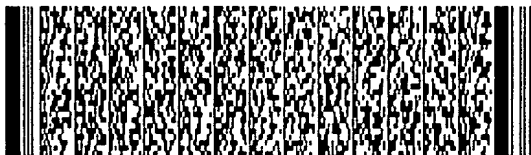
一第二電極，位在該電容介電層上；以及

一電感元件，位在該保護層上。

125. 如申請專利範圍第124項所述之具有被動元件之晶片結構，還包括一電磁場隔離層，位在該些電子元件與該電感元件之間。

126. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中當該電阻元件位於該基底之該表面的表層時，該電阻元件的材質係為摻雜有硼、磷、砷及鎵，四者擇一，的矽層。

127. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中當該電阻元件係位於該基底之該表面的表層時，該電阻元件的材質係為n型井的材質、p型井的材質、N+擴散區域的材質及P+擴散區域的材質，四者擇一。



六、申請專利範圍

128. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中當該電阻元件位在該線路積層之任一該些介電層上時，該電阻元件的材質係為多晶矽。

129. 如申請專利範圍第129項所述之具有被動元件之晶片結構，其中該電阻元件係為摻雜有硼、磷、砷及銻，四者擇一，之多晶矽。

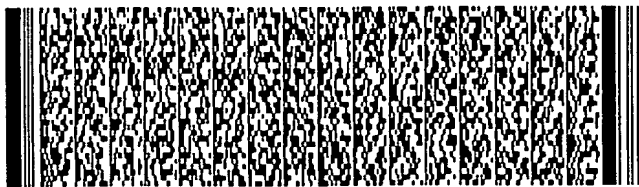
130. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中當該電阻元件位在該線路積層之任一該些介電層上時，該電阻元件的材質係為鋁、鋁合金、銅、銅合金及鎢，五者擇一。

131. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該電阻元件與該第一電極均位在該線路積層最遠離該基底之該介電層上。

132. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該第一電極的材質係為鋁、鋁合金、銅及銅合金，四者擇一。

133. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該電容介電層係由下列部份材質所構成之複合層，該些材質包括四乙烷基氧矽甲烷(TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五氧化二鉭、鈦酸鋇及鈦酸鋇鉭。

134. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該電容介電層的材質係為四乙烷基氧矽甲烷(TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五



六、申請專利範圍

氧化二鉍、鈦酸鋇及鈦酸鋇鋇，七者擇一。

135. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該電阻元件的材質係相同於該第一電極的材質。

136. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該電感元件之結構係選自於由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合而成的複合層。

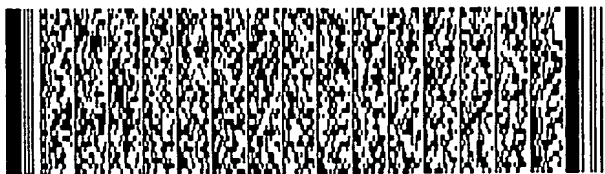
137. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該電感元件之材質係為鋁及鋁合金，二者擇一。

138. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該第二電極之結構係選自於由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合而成的複合層。

139. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該第二電極之材質係為鋁及鋁合金，二者擇一。

140. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該電感元件之金屬結構係相同於該第二電極之金屬結構。

141. 如申請專利範圍第124項所述之具有被動元件之晶片結構，還包括一絕緣材料，位在該保護層上，該絕緣材料包覆該第二電極及該電感元件。



六、申請專利範圍

142. 如申請專利範圍第141項所述之具有被動元件之晶片結構，其中該絕緣材料之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

143. 如申請專利範圍第124項所述之具有被動元件之晶片結構，還包括一絕緣層，位在該電感元件與該保護層之間。

144. 如申請專利範圍第143項所述之具有被動元件之晶片結構，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

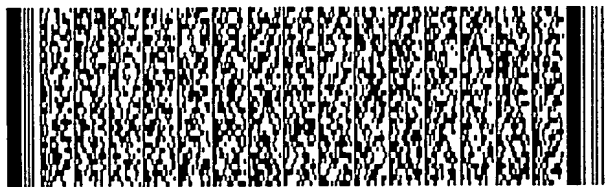
145. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該第一電極與該第二電極之間的距離係介於0.005微米到2微米之間。

146. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該第一電極之厚度係介於0.05微米到2微米之間。

147. 如申請專利範圍第124項所述之具有被動元件之晶片結構，其中該第二電極之厚度係介於0.6微米到50微米之間。

148. 如申請專利範圍第124項所述之具有被動元件之晶片結構，還包括一金屬線路，位在該保護層上，該金屬線路係與該電阻元件電性連接。

149. 如申請專利範圍第148項所述之具有被動元件之



六、申請專利範圍

晶片結構，還包括一絕緣層，位在該金屬線路與該保護層之間。

150. 如申請專利範圍第149項所述之具有被動元件之晶片結構，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

151. 如申請專利範圍第124項所述之具有被動元件之晶片結構，還包括一金屬線路，位在該保護層上，而該保護層具有一第二保護層開口，該金屬線路係經過該第二保護層開口與該線路積層之該些線路層電性連接。

152. 如申請專利範圍第151項所述之具有被動元件之晶片結構，其中該第二保護層開口之可量測的最大寬度係介於0.1微米到20微米之間。

153. 如申請專利範圍第151項所述之具有被動元件之晶片結構，其中該金屬線路係為一電源匯流排及一接地匯流排，二者擇一。

154. 如申請專利範圍第151項所述之具有被動元件之晶片結構，其中該金屬線路係經過該保護層連接該線路積層之部分線路至其他部分線路。

155. 如申請專利範圍第151項所述之具有被動元件之晶片結構，還包括一絕緣層，位在該金屬線路與該保護層之間。

156. 如申請專利範圍第155項所述之具有被動元件之晶片結構，其中該絕緣層之材質係選自於由聚醯亞胺、苯



六、申請專利範圍

基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

157. 一種具有被動元件之晶片結構，至少包括：

一基底，具有複數個電子元件，位於該基底之一表面的表層；

一線路積層，位於該基底之該表面上，該線路積層具有複數層介電層及複數層線路層，該些介電層係疊層在該基底之該表面上，每一該些線路層係分別位在該些介電層之其中之一上，該些線路層係與該些電子元件電性連接；

一第一電極，位在該線路積層最遠離該基底之該介電層上；

一保護層，位在該線路積層上，且該保護層具有一第一保護層開口，貫穿該保護層，該第一保護層開口暴露出該第一電極；

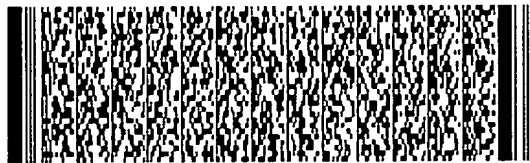
一電容介電層，位在該第一電極上；

一第二電極，位在該電容介電層上；以及

一電感元件，位在該保護層上。

158. 如申請專利範圍第157項所述之具有被動元件之晶片結構，還包括一電磁場隔離層，位在該些電子元件與該電感元件之間。

159. 如申請專利範圍第157項所述之具有被動元件之晶片結構，還包括一金屬線路，位在該保護層上，而該保護層具有一第二保護層開口，該金屬線路係經過該第二保護層開口與該線路積層之該些線路層電性連接。



六、申請專利範圍

160. 如申請專利範圍第159項所述之具有被動元件之晶片結構，其中該第二保護層開口之可量測的最大寬度介於0.1微米到20微米之間。

161. 如申請專利範圍第159項所述之具有被動元件之晶片結構，其中該金屬線路係為一電源匯流排及一接地匯流排，二者擇一。

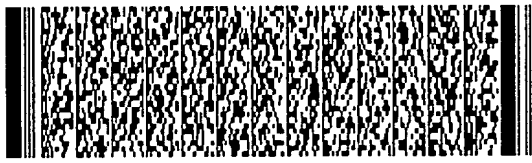
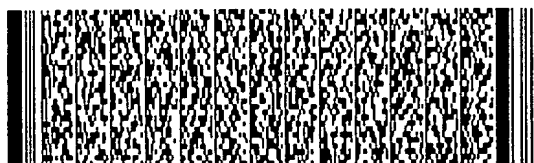
162. 如申請專利範圍第159項所述之具有被動元件之晶片結構，其中該金屬線路係經過該保護層連接該線路積層之部分線路至其他部分線路。

163. 如申請專利範圍第159項所述之具有被動元件之晶片結構，還包括一絕緣層，位在該金屬線路與該保護層之間。

164. 如申請專利範圍第163項所述之具有被動元件之晶片結構，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

165. 如申請專利範圍第157項所述之具有被動元件之晶片結構，其中該第一電極的材質係為鋁、鋁合金、銅及銅合金，四者擇一。

166. 如申請專利範圍第157項所述之具有被動元件之晶片結構，其中該電容介電層係由下列部份材質所構成之複合層，該些材質包括四乙烷基氧矽甲烷(TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五氧化二鉬、鈦酸鋇及鈦酸鋇鉬。



六、申請專利範圍

167. 如申請專利範圍第157項所述之具有被動元件之晶片結構，其中該電容介電層的材質係為四乙烷基氧矽烷(TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五氧化二鉬、鈦酸鋇及鈦酸鋇鉍，七者擇一。

168. 如申請專利範圍第157項所述之具有被動元件之晶片結構，其中該電感元件之結構係選自於由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合而成的複合層。

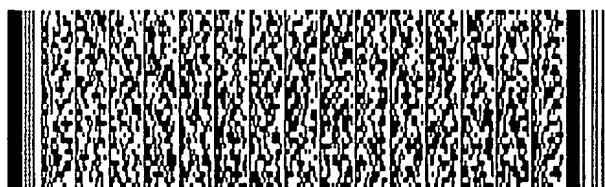
169. 如申請專利範圍第157項所述之具有被動元件之晶片結構，其中該電感元件之材質係為鋁及鋁合金，二者擇一。

170. 如申請專利範圍第157項所述之具有被動元件之晶片結構，其中該第二電極之結構係選自於由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合而成的複合層。

171. 如申請專利範圍第157項所述之具有被動元件之晶片結構，其中該第二電極之材質係為鋁及鋁合金，二者擇一。

172. 如申請專利範圍第157項所述之具有被動元件之晶片結構，其中該電感元件之金屬結構係相同於該第二電極之金屬結構。

173. 如申請專利範圍第157項所述之具有被動元件之晶片結構，還包括一絕緣材料，位在該保護層上，該絕緣材料包覆該第二電極及該電感元件。



六、申請專利範圍

174. 如申請專利範圍第173項所述之具有被動元件之晶片結構，其中該絕緣材料之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

175. 如申請專利範圍第157項所述之具有被動元件之晶片結構，還包括一絕緣層，位在該電感元件與該保護層之間。

176. 如申請專利範圍第175項所述之具有被動元件之晶片結構，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

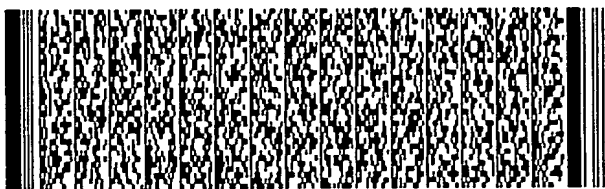
177. 如申請專利範圍第157項所述之具有被動元件之晶片結構，其中該第二電極及該電感元件係同時圖案化製作完成。

178. 如申請專利範圍第157項所述之具有被動元件之晶片結構，其中該第一電極與該第二電極之間的距離係介於0.005微米到2微米之間。

179. 如申請專利範圍第157項所述之具有被動元件之晶片結構，其中該第一電極之厚度係介於0.05微米到2微米之間。

180. 如申請專利範圍第157項所述之具有被動元件之晶片結構，其中該第二電極之厚度係介於0.6微米到50微米之間。

181. 一種具有被動元件之晶片結構，至少包括：



六、申請專利範圍

一 基底，具有複數個電子元件，位於該基底之一表面的表層；

一 線路積層，位於該基底之該表面上，該線路積層具有複數層介電層及複數層線路層，該些介電層係疊層在該基底之該表面上，每一該些線路層係分別位在該些介電層之其中之一上，該些線路層係與該些電子元件電性連接；

一 電阻元件，位於該基底之該表面的表層或是該線路積層之任一該些介電層上；

一 保護層，位在該線路積層上；以及

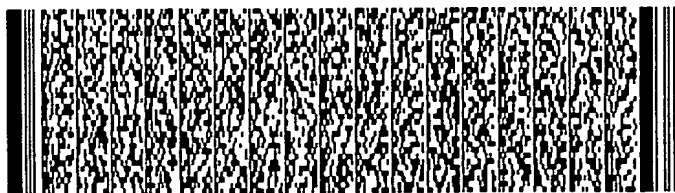
一 第一金屬線路，位在該保護層上，該第一金屬線路係經過該保護層與該電阻元件電性連接。

182. 如申請專利範圍第181項所述之具有被動元件之晶片結構，還包括一第二金屬線路，位在該保護層上，而該保護層具有一第二保護層開口，該第二金屬線路係經過該第二保護層開口與該線路積層之該些線路層電性連接。

183. 如申請專利範圍第182項所述之具有被動元件之晶片結構，其中該第二保護層開口之可量測的最大寬度係介於0.1微米到20微米之間。

184. 如申請專利範圍第182項所述之具有被動元件之晶片結構，其中該第二金屬線路係為一電源匯流排及一接地匯流排，二者擇一。

185. 如申請專利範圍第182項所述之具有被動元件之晶片結構，其中該第二金屬線路係經過該保護層連接該線路積層之部分線路至其他部分線路。



六、申請專利範圍

186. 如申請專利範圍第182項所述之具有被動元件之晶片結構，還包括一絕緣層，位在該第二金屬線路與該護層之間。

187. 如申請專利範圍第186項所述之具有被動元件之晶片結構，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

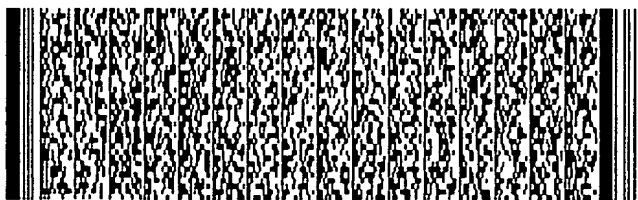
188. 如申請專利範圍第181項所述之具有被動元件之晶片結構，其中當該電阻元件位於該基底之該表面的表層時，該電阻元件的材質係為摻雜有硼、磷、砷及鎵，四者擇一，的矽層。

189. 如申請專利範圍第181項所述之具有被動元件之晶片結構，其中當該電阻元件係位於該基底之該表面的表層時，該電阻元件的材質係為n型井的材質、p型井的材質、N⁺擴散區域的材質及P⁺擴散區域的材質，四者擇一。

190. 如申請專利範圍第181項所述之具有被動元件之晶片結構，其中當該電阻元件位在該線路積層之任一該些介電層上時，該電阻元件的材質係為多晶矽。

191. 如申請專利範圍第190項所述之具有被動元件之晶片結構，其中該電阻元件係為摻雜有硼、磷、砷及鎵，四者擇一，之多晶矽。

192. 如申請專利範圍第181項所述之具有被動元件之晶片結構，其中當該電阻元件位在該線路積層之任一該些介電層上時，該電阻元件的材質係為鋁、鋁合金、銅、銅



六、申請專利範圍

合金及鎢，五者擇一。

193. 如申請專利範圍第181項所述之具有被動元件之晶片結構，還包括一絕緣材料，位在該保護層上，該絕緣材料包覆該電阻元件及該第一金屬線路。

194. 如申請專利範圍第193項所述之具有被動元件之晶片結構，其中該絕緣材料之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

195. 如申請專利範圍第181項所述之具有被動元件之晶片結構，還包括一絕緣層，位在該第一金屬線路與該保護層之間。

196. 如申請專利範圍第195項所述之具有被動元件之晶片結構，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

197. 一種具有被動元件之晶片結構，至少包括：

一基底，具有複數個電子元件，位於該基底之一表面的表層；

一線路積層，位於該基底之該表面上，該線路積層具有複數層介電層及複數層線路層，該些介電層係疊層在該基底之該表面上，每一該些線路層係分別位在該些介電層之其中之一上，該些線路層係與該些電子元件電性連接；

一保護層，位在該線路積層上；

一電阻元件，位在該保護層上，並與該保護層接觸；



六、申請專利範圍

以及

一 第一金屬線路，位在該保護層上，該第一金屬線路與該電阻元件電性連接。

198. 如申請專利範圍第197項所述之具有被動元件之晶片結構，還包括一第二金屬線路，位在該保護層上，而該保護層具有一第二保護層開口，該第二金屬線路係經過該第二保護層開口與該線路積層之該些線路層電性連接。

199. 如申請專利範圍第198項所述之具有被動元件之晶片結構，其中該第二保護層開口之可量測的最大寬度係介於0.1微米到20微米之間。

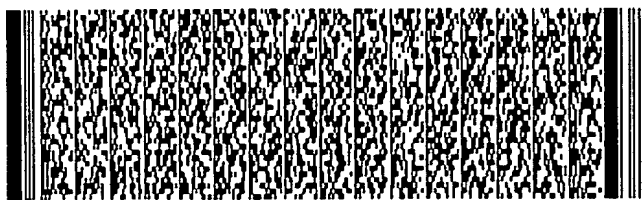
200. 如申請專利範圍第198項所述之具有被動元件之晶片結構，其中該第二金屬線路係為一電源匯流排及一接地匯流排，二者擇一。

201. 如申請專利範圍第198項所述之具有被動元件之晶片結構，其中該第二金屬線路係經過該保護層連接該線路積層之部分線路至其他部分線路。

202. 如申請專利範圍第198項所述之具有被動元件之晶片結構，還包括一絕緣層，位在該第二金屬線路與該保護層之間。

203. 如申請專利範圍第202項所述之具有被動元件之晶片結構，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

204. 如申請專利範圍第197項所述之具有被動元件之



六、申請專利範圍

晶片結構，其中該電阻元件的材質係為鋁、鋁合金、銅、銅合金、鎳鉻合金、鎳錫合金、鈹氮化合物、鈹及鎢，大者擇一。

205. 如申請專利範圍第197項所述之具有被動元件之晶片結構，還包括一絕緣材料，位在該保護層上，該絕緣材料包覆該電阻元件及該第一金屬線路。

206. 如申請專利範圍第207項所述之具有被動元件之晶片結構，其中該絕緣材料之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

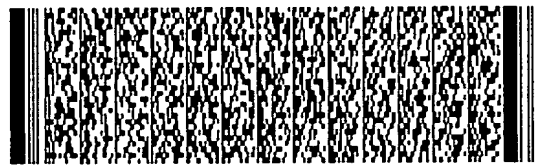
207. 如申請專利範圍第197項所述之具有被動元件之晶片結構，還包括一絕緣層，位在該第一金屬線路與該保護層之間。

208. 如申請專利範圍第207項所述之具有被動元件之晶片結構，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

209. 一種具有被動元件之晶片結構，至少包括：

一基底，具有複數個電子元件，位於該基底之一表面的表層；

一線路積層，位於該基底之該表面上，該線路積層具有複數層介電層及複數層線路層，該些介電層係疊層在該基底之該表面上，每一該些線路層係分別位在該些介電層之其中之一上，該些線路層係與該些電子元件電性連接；



六、申請專利範圍

一 第一電極，位在該線路積層最遠離該基底之該介電層上；

一 保護層，位在該線路積層上，且該保護層具有一第一保護層開口，貫穿該保護層，該第一保護層開口暴露出該第一電極；

一 電阻元件，位在該保護層上，並與該保護層接觸；

一 電容介電層，位在該第一電極上；

一 第二電極，位在該電容介電層上；以及

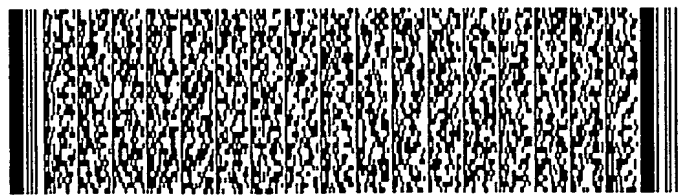
一 電感元件，位在該保護層上。

210. 如申請專利範圍第209項所述之具有被動元件之晶片結構，還包括一電磁場隔離層，位在該些電子元件與該電感元件之間。

211. 如申請專利範圍第209項所述之具有被動元件之晶片結構，其中該電阻元件的材質係為鋁、鋁合金、銅、銅合金、鎳鉻合金、鎳錫合金、鉭氮化合物、鉭及鎢，九者擇一。

212. 如申請專利範圍第209項所述之具有被動元件之晶片結構，其中該第一電極的材質係為鋁、鋁合金、銅及銅合金，四者擇一。

213. 如申請專利範圍第209項所述之具有被動元件之晶片結構，其中該電容介電層係由下列部份材質所構成之複合層，該些材質包括四乙烷基氧矽甲烷(TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五氧化二鉭、鈦酸鋇及鈦酸鋇鋇。



六、申請專利範圍

214. 如申請專利範圍第209項所述之具有被動元件之晶片結構，其中該電容介電層的材質係為四乙烷基氧矽烷(TEOS)、氧矽化合物、氮矽化合物、氮氧矽化合物、五氧化二鉭、鈦酸鋁及鈦酸鋁鉬，七者擇一。

215. 如申請專利範圍第209項所述之具有被動元件之晶片結構，其中該電感元件之結構係選自於由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合而成的複合層。

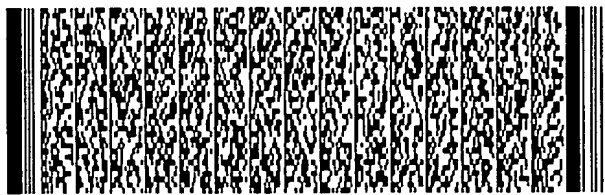
216. 如申請專利範圍第209項所述之具有被動元件之晶片結構，其中該電感元件之材質係為鋁及鋁合金，二者擇一。

217. 如申請專利範圍第209項所述之具有被動元件之晶片結構，其中該第二電極之結構係選自於由下列部份金屬，鈦鎢合金、鈦、鉻、銅、鉻銅合金、鎳及金，所組合而成的複合層。

218. 如申請專利範圍第209項所述之具有被動元件之晶片結構，其中該第二電極之材質係為鋁及鋁合金，二者擇一。

219. 如申請專利範圍第209項所述之具有被動元件之晶片結構，其中該電感元件之金屬結構係相同於該第二電極之金屬結構。

220. 如申請專利範圍第209項所述之具有被動元件之晶片結構，還包括一絕緣材料，位在該保護層上，該絕緣材料包覆該第二電極、該電感元件及該電阻元件。



六、申請專利範圍

221. 如申請專利範圍第220項所述之具有被動元件之晶片結構，其中該絕緣材料之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

222. 如申請專利範圍第209項所述之具有被動元件之晶片結構，還包括一絕緣層，位在該電感元件與該保護層之間。

223. 如申請專利範圍第222項所述之具有被動元件之晶片結構，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

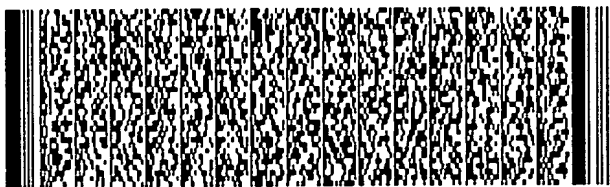
224. 如申請專利範圍第209項所述之具有被動元件之晶片結構，其中該第一電極與該第二電極之間的距離係介於0.005微米到2微米之間。

225. 如申請專利範圍第209項所述之具有被動元件之晶片結構，其中該第一電極之厚度係介於0.05微米到2微米之間。

226. 如申請專利範圍第209項所述之具有被動元件之晶片結構，其中該第二電極之厚度係介於0.6微米到50微米之間。

227. 如申請專利範圍第209項所述之具有被動元件之晶片結構，還包括一金屬線路，位在該保護層上，該金屬線路係與該電阻元件電性連接。

228. 如申請專利範圍第227項所述之具有被動元件之



六、申請專利範圍

晶片結構，還包括一絕緣層，位在該金屬線路與該保護層之間。

229. 如申請專利範圍第228項所述之具有被動元件之晶片結構，其中該絕緣層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

230. 如申請專利範圍第209項所述之具有被動元件之晶片結構，還包括一金屬線路，位在該保護層上，而該保護層具有一第二保護層開口，該金屬線路係經過該第二保護層開口與該線路積層之該些線路層電性連接。

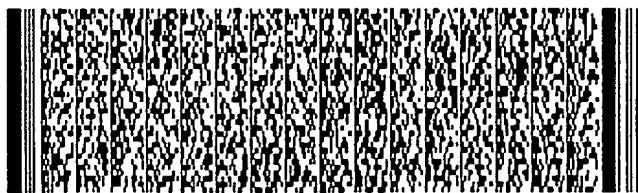
231. 如申請專利範圍第230項所述之具有被動元件之晶片結構，其中該第二保護層開口之可量測的最大寬度係介於0.1微米到20微米之間。

232. 如申請專利範圍第230項所述之具有被動元件之晶片結構，其中該金屬線路係為一電源匯流排及一接地匯流排，二者擇一。

233. 如申請專利範圍第230項所述之具有被動元件之晶片結構，其中該金屬線路係經過該保護層連接該線路積層之部分線路至其他部分線路。

234. 如申請專利範圍第230項所述之具有被動元件之晶片結構，還包括一絕緣層，位在該金屬線路與該保護層之間。

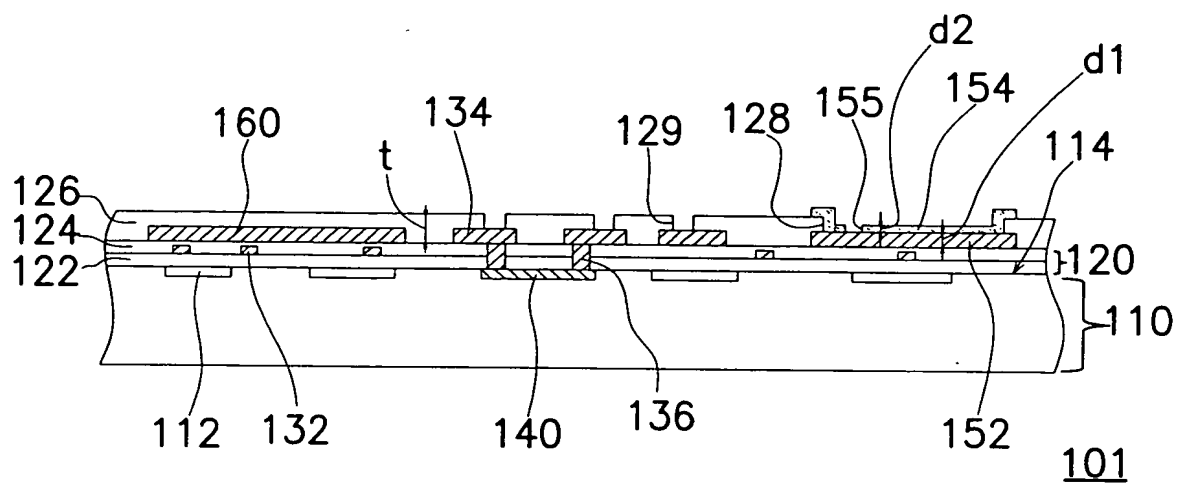
235. 如申請專利範圍第234項所述之具有被動元件之晶片結構，其中該絕緣層之材質係選自於由聚醯亞胺、苯



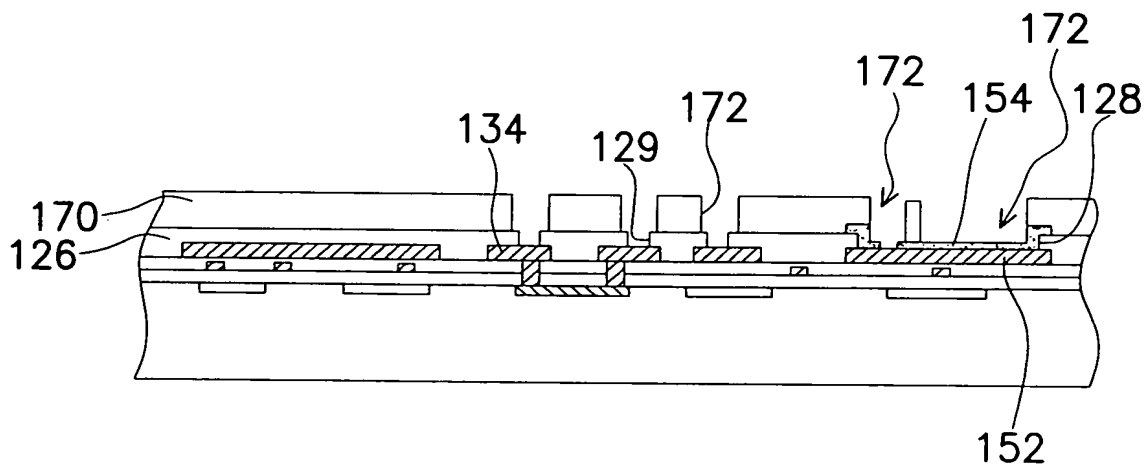
六、申請專利範圍

基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

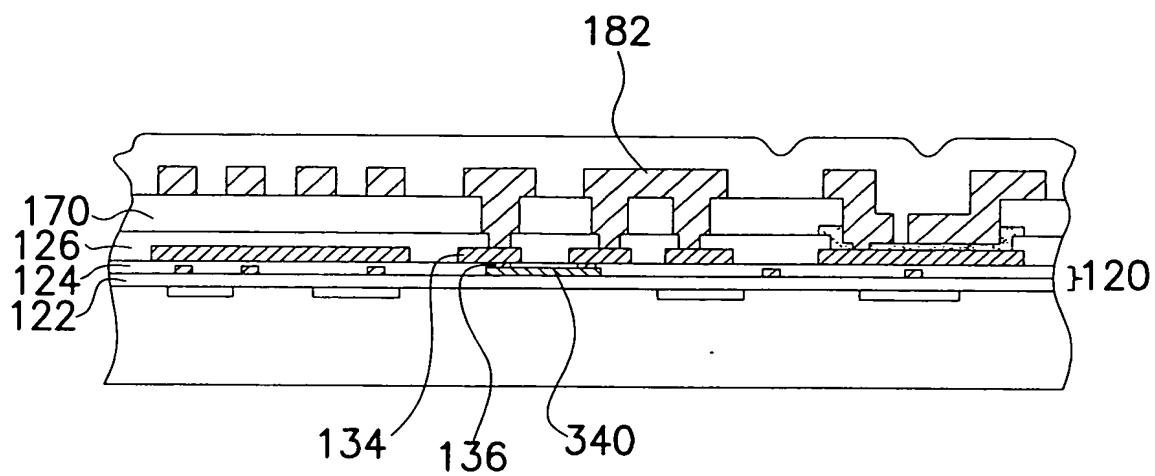




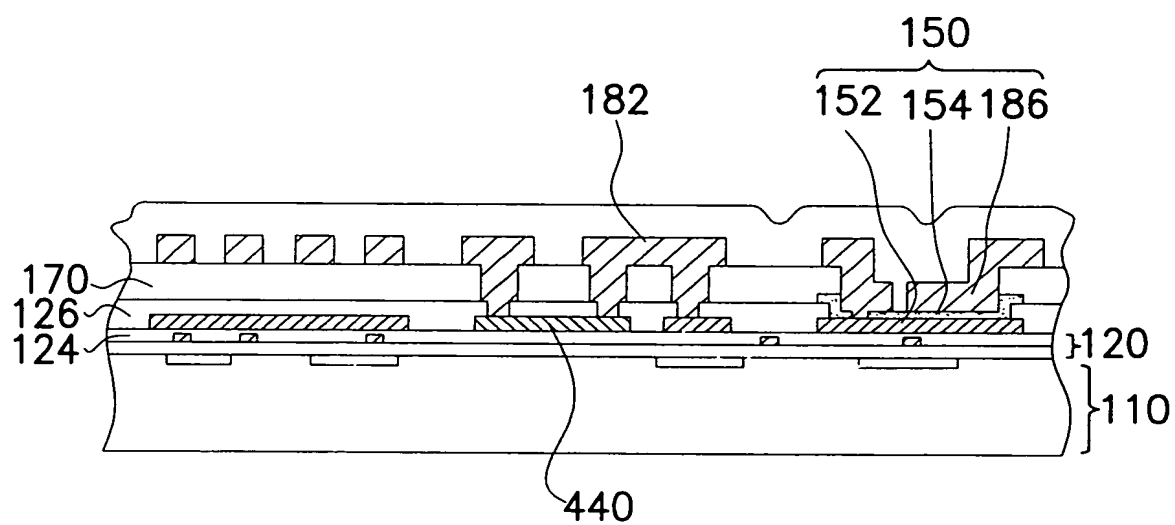
第 1 圖



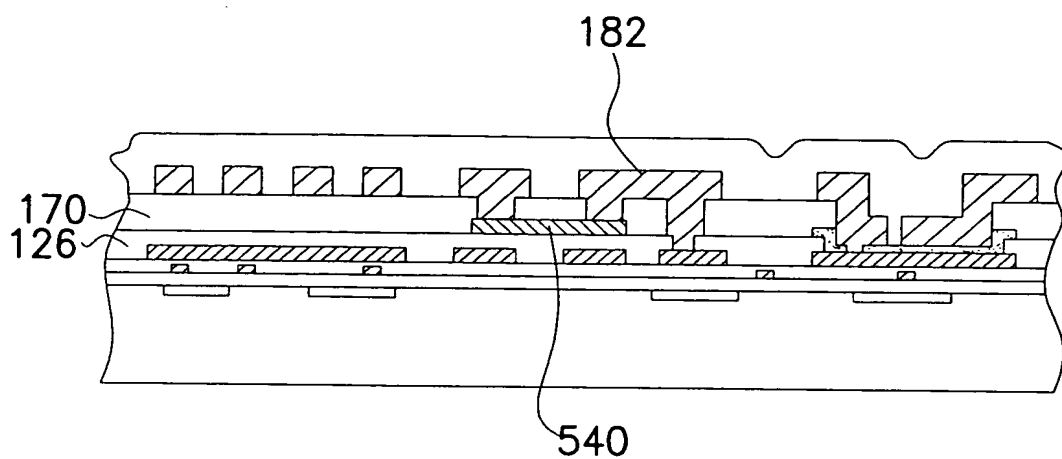
第 2 圖



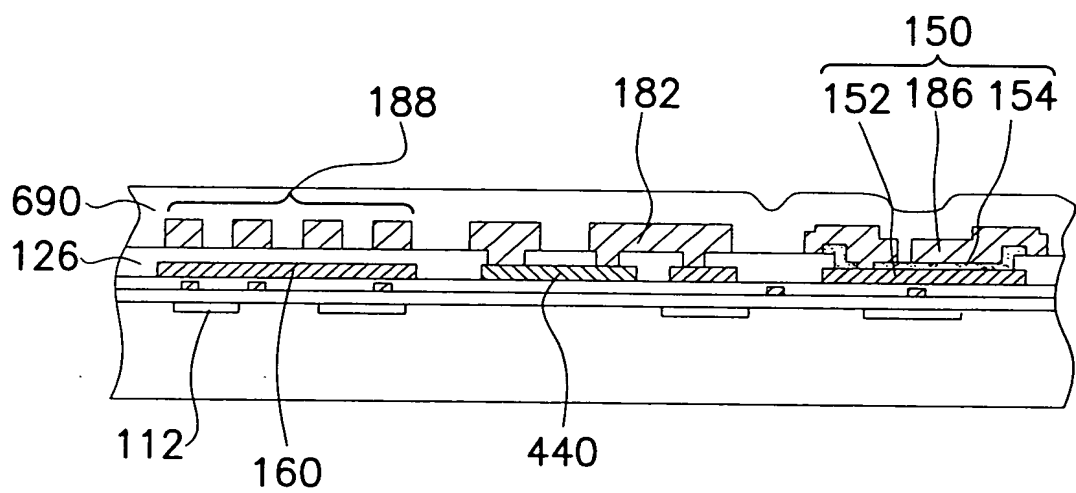
第 5 圖



第 6 圖

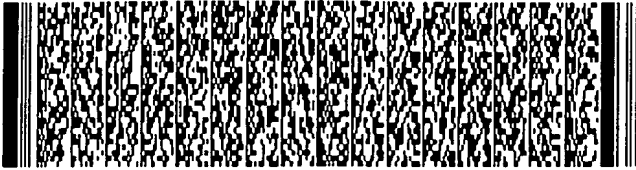


第 7 圖



第 8 圖

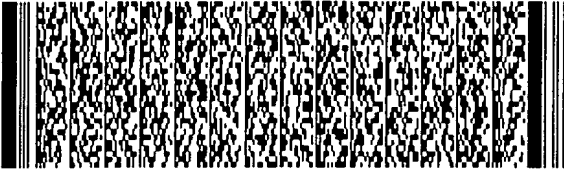
第 1/62 頁



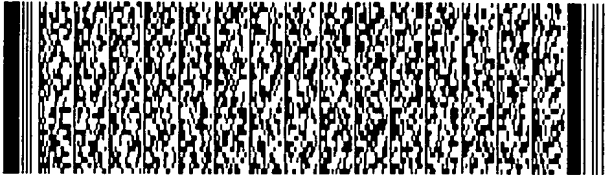
第 2/62 頁



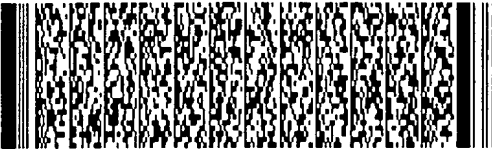
第 2/62 頁



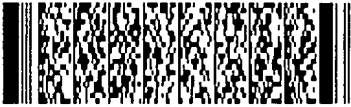
第 3/62 頁



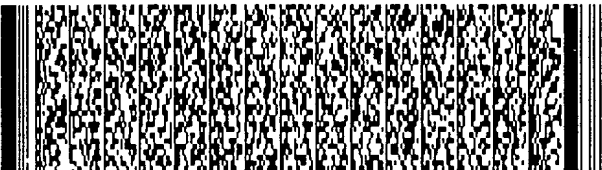
第 4/62 頁



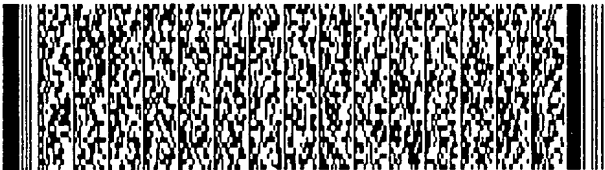
第 5/62 頁



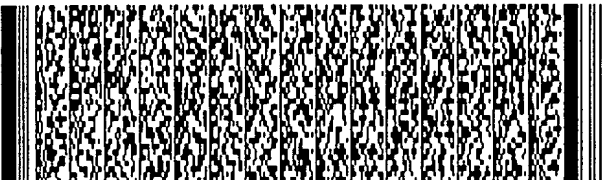
第 6/62 頁



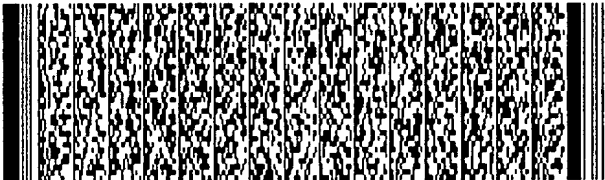
第 6/62 頁



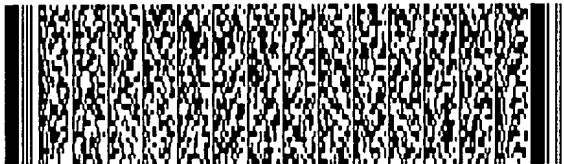
第 7/62 頁



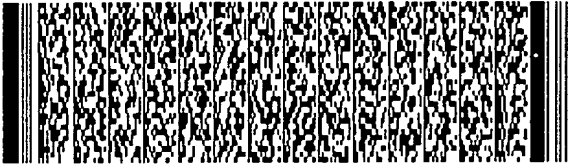
第 7/62 頁



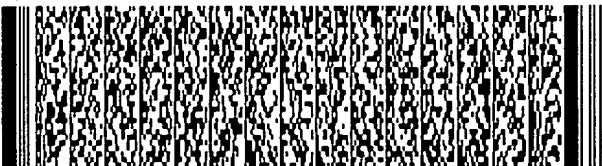
第 8/62 頁



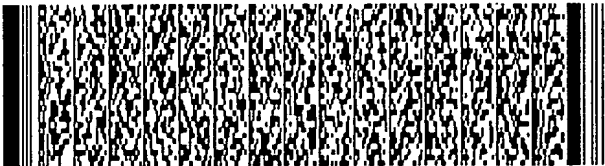
第 8/62 頁



第 9/62 頁



第 9/62 頁



第 10/62 頁



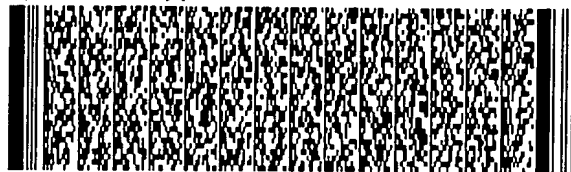
第 10/62 頁



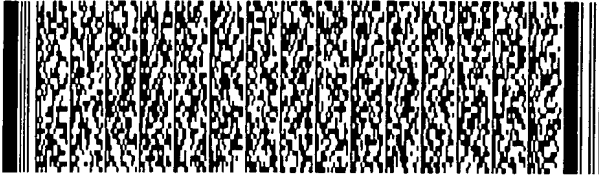
第 11/62 頁



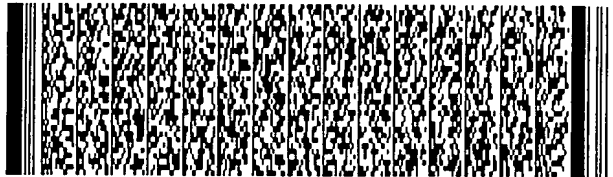
第 11/62 頁



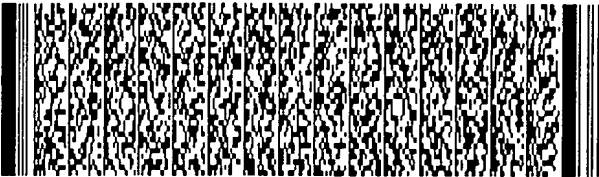
第 12/62 頁



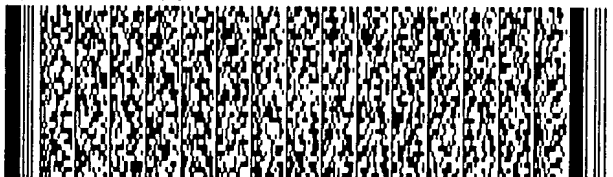
第 12/62 頁



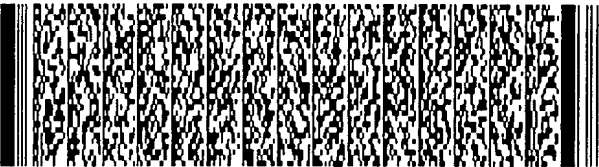
第 13/62 頁



第 13/62 頁



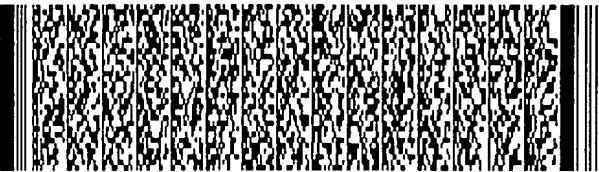
第 14/62 頁



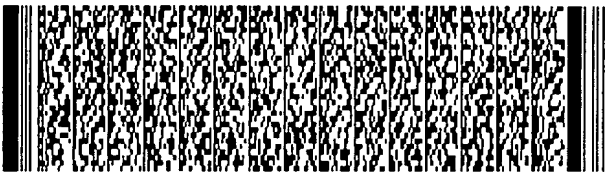
第 14/62 頁



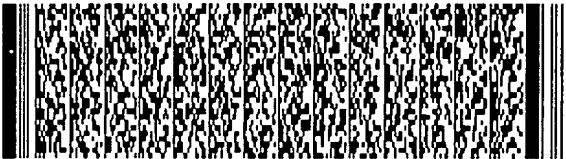
第 15/62 頁



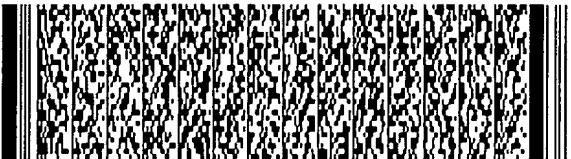
第 15/62 頁



第 16/62 頁



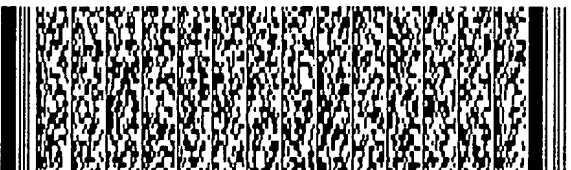
第 16/62 頁



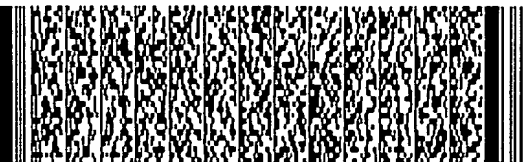
第 17/62 頁



第 17/62 頁



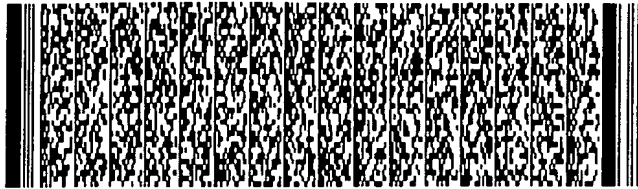
第 18/62 頁



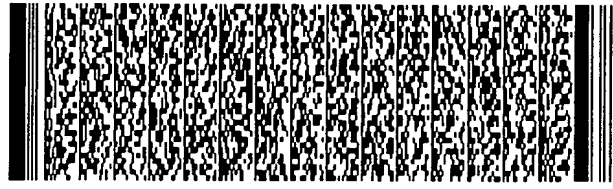
第 18/62 頁



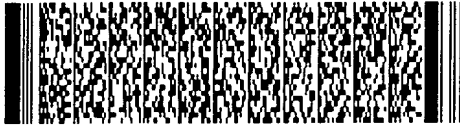
第 19/62 頁



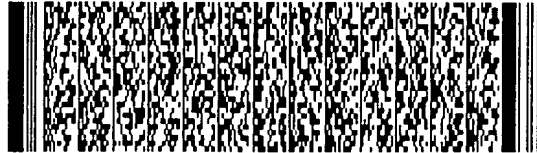
第 20/62 頁



第 21/62 頁



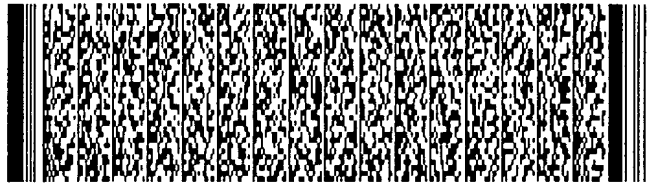
第 22/62 頁



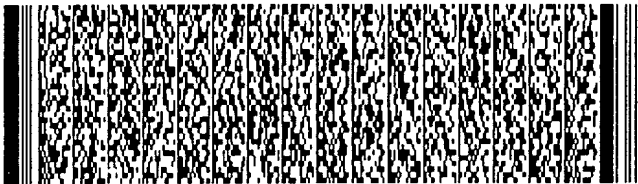
第 22/62 頁



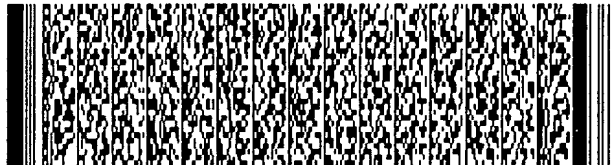
第 23/62 頁



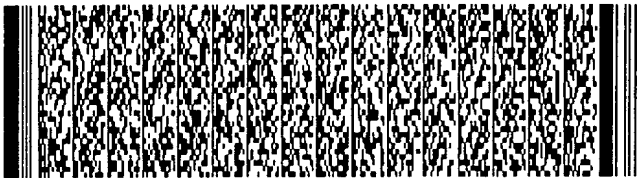
第 24/62 頁



第 25/62 頁



第 26/62 頁



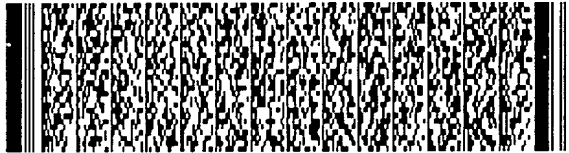
第 27/62 頁



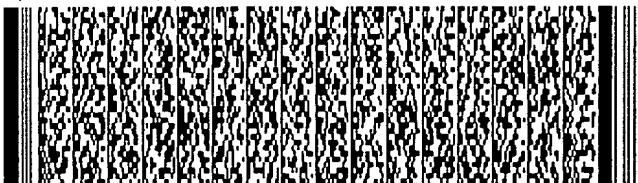
第 28/62 頁



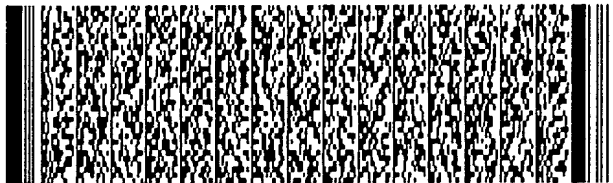
第 28/62 頁



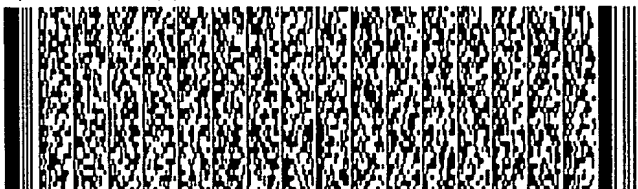
第 29/62 頁



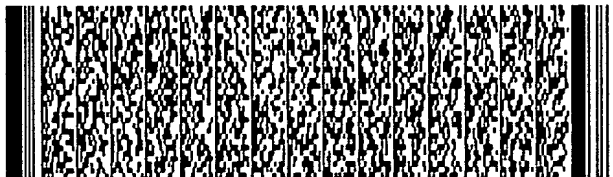
第 30/62 頁



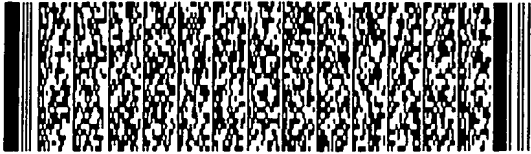
第 31/62 頁



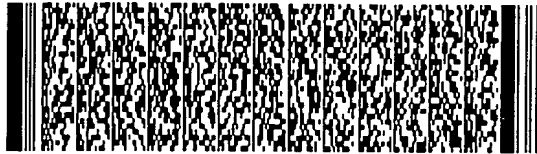
第 32/62 頁



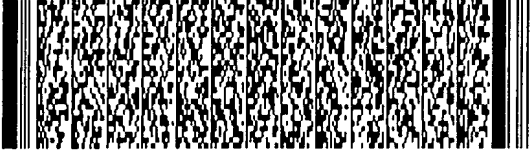
第 33/62 頁



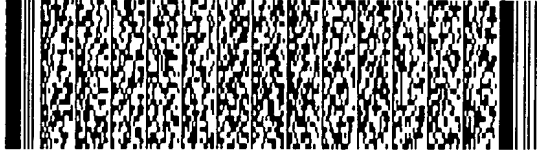
第 33/62 頁



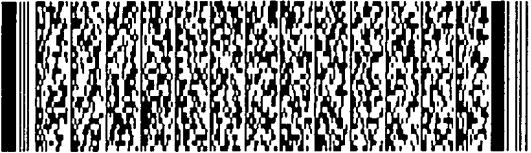
第 34/62 頁



第 34/62 頁



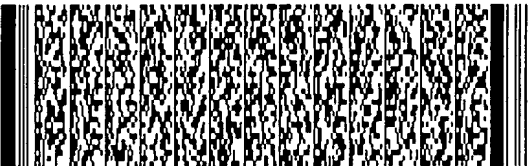
第 35/62 頁



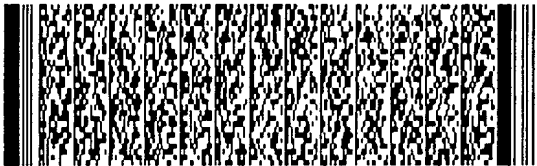
第 35/62 頁



第 36/62 頁



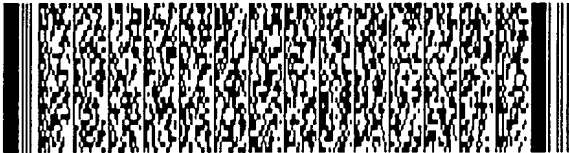
第 36/62 頁



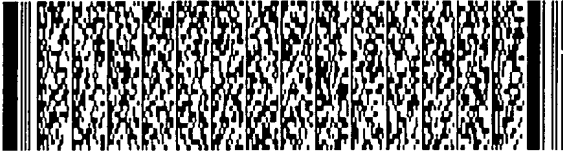
第 37/62 頁



第 38/62 頁



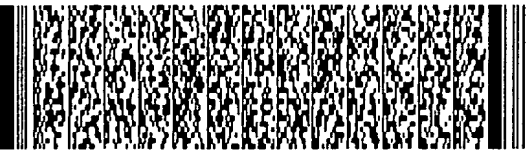
第 38/62 頁



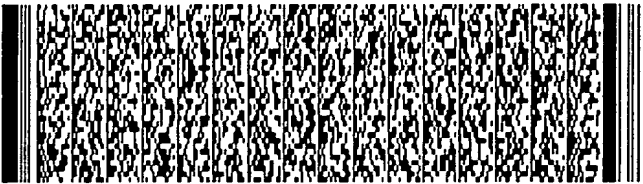
第 39/62 頁



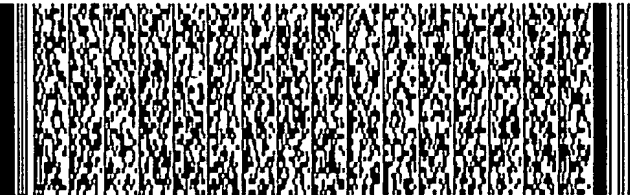
第 39/62 頁



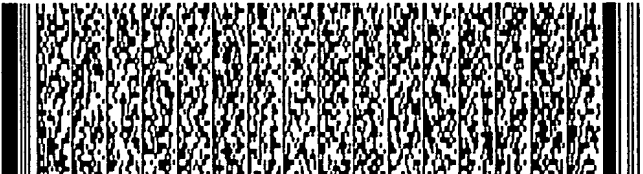
第 40/62 頁



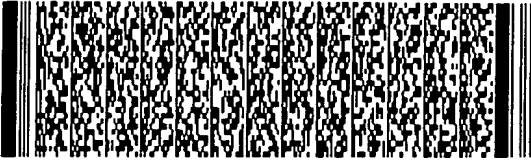
第 41/62 頁



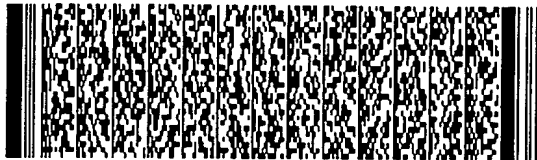
第 42/62 頁



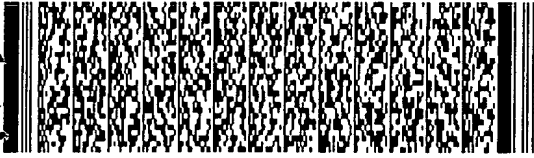
第 43/62 頁



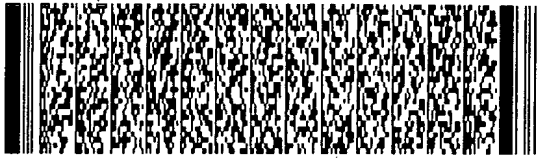
第 43/62 頁



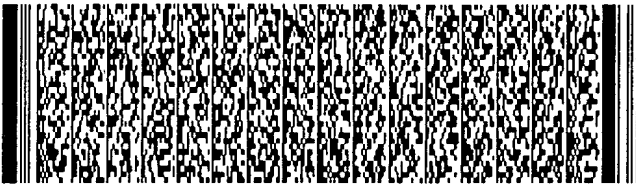
第 44/62 頁



第 44/62 頁



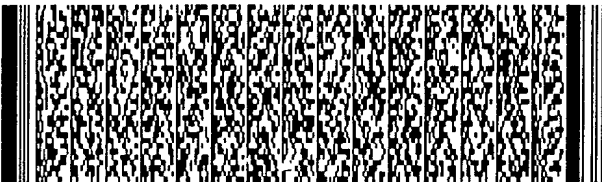
第 45/62 頁



第 46/62 頁



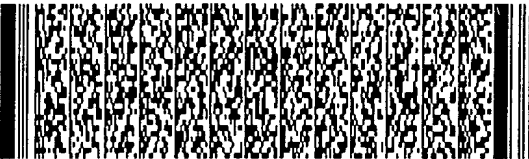
第 47/62 頁



第 48/62 頁



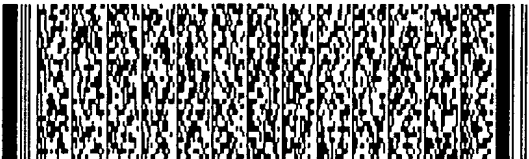
第 49/62 頁



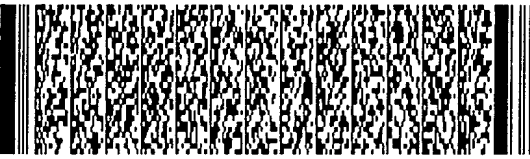
第 49/62 頁



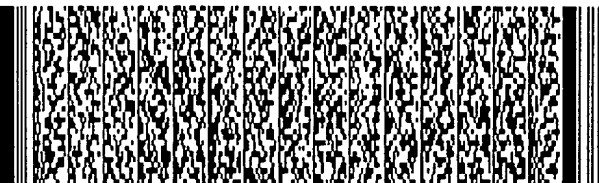
第 50/62 頁



第 50/62 頁



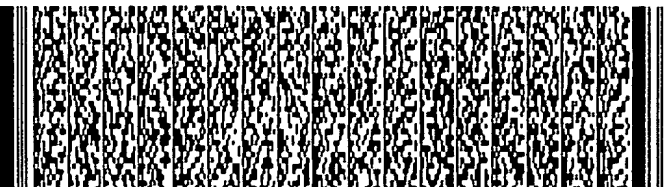
第 51/62 頁



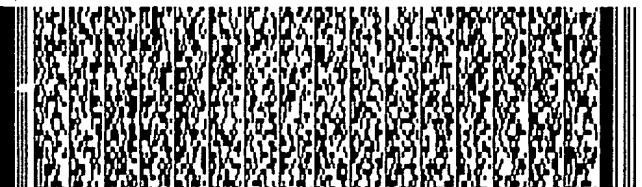
第 52/62 頁



第 53/62 頁



第 54/62 頁



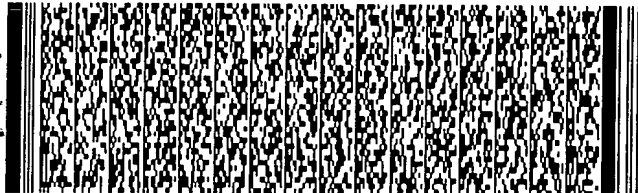
第 55/62 頁



第 55/62 頁



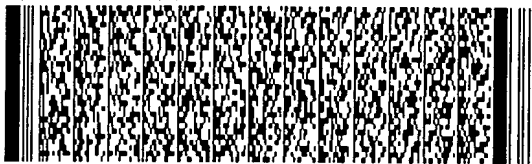
第 56/62 頁



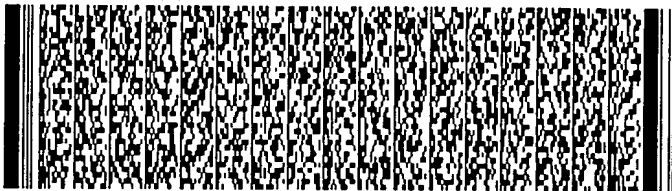
第 57/62 頁



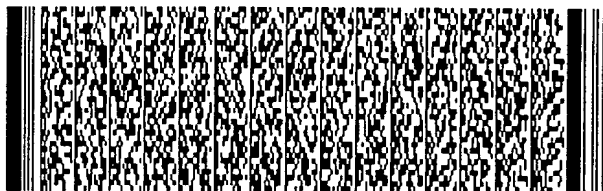
第 57/62 頁



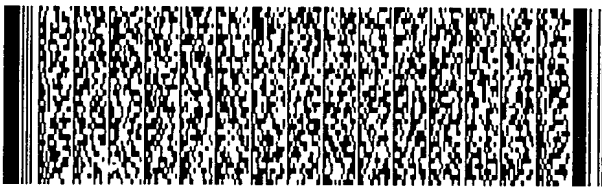
第 58/62 頁



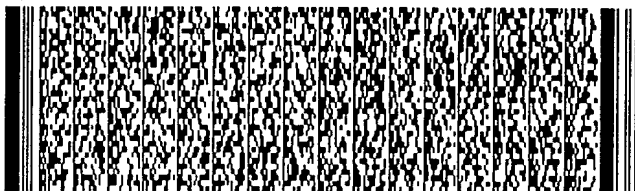
第 59/62 頁



第 60/62 頁



第 61/62 頁



第 62/62 頁

